

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»

А.Н. Осокин, А.Н. Мальчуков

СХЕМОТЕХНИКА ЭВМ

*Рекомендовано в качестве учебного пособия
Редакционно-издательским советом
Томского политехнического университета*

Издательство
Томского политехнического университета
2018

УДК 004.4(076.5)
ББК 32.973.202-018.2я73
О75

Осокин А.Н., Мальчуков А.Н.

О75 Схемотехника ЭВМ: учебное пособие / А.Н. Осокин, А.Н. Мальчуков; Томский политехнический университет. – Томск: Изд-во Томского политехнического университета, 2018. – 172 с.

В учебном пособии рассмотрены основные характеристики и классификация интегральных микросхем, элементная база серий МИС, СИС, БИС и микропроцессоров, кроссбар-архитектуры, схемы гальванической развязки, триггерные устройства, функциональные узлы комбинационного и последовательностного типа. Каждая глава содержит контрольные вопросы.

Пособие предназначено для студентов, обучающихся по направлениям 09.03.00 «Информатика и вычислительная техника», 10.03.01 «Информационная безопасность», 10.05.02 «Информационная безопасность телекоммуникационных систем» и 10.05.03 «Информационная безопасность автоматизированных систем».

**УДК 004.4(076.5)
ББК 32.973.202-018.2я73**

Рецензенты

Доктор технических наук, профессор,
заведующий кафедрой электротехники и электроники
Обнинского института атомной энергетики
Национального исследовательского ядерного университет «МИФИ»
А.А. Абакумов

Кандидат технических наук,
начальник отдела корпоративной сети –
зам. начальника управления информационных технологий
ОАО «Востокгазпром»
П.М. Острась

© Осокин А.Н., Мальчуков А.Н., 2018

ВВЕДЕНИЕ

Элементную базу современных устройств обработки и передачи информации составляют **интегральные схемы (ИС)**. Со времени их изобретения (США, 1959 г.) ИС постоянно совершенствуются и усложняются. Характеристикой сложности ИС является уровень интеграции. Различия в уровне интеграции делят ИС на МИС, СИС, БИС, СБИС (соответственно, малые, средние, большие и сверхбольшие ИС). Практическое использование находят все категории ИС.

МИС реализуют простейшие логические преобразования и обладают универсальностью – как известно, даже с помощью одного типа логического элемента (например, И-НЕ) можно построить любое цифровое устройство.

Развитие технологии производства интегральных схем привело к созданию СИС. В виде СИС выпускаются в готовом виде такие схемы, как малоразрядные регистры, счетчики, сумматоры, дешифраторы, мультиплексоры и т.п. Номенклатура СИС должна быть более широкой и разнообразной, так как их универсальность снижается. В развитых сериях стандартных ИС насчитываются сотни типов ИС.

Следующим этапом развития элементной базы стало появление БИС и СБИС. Для решения проблемы снижения универсальности для БИС и СБИС появились микропроцессоры и БИС/СБИС с программируемой структурой.

Микропроцессор способен выполнять команды, входящие в его систему команд. Меняя последовательность команд (программу), можно решать различные задачи на одном и том же микропроцессоре. Иначе говоря, в этом случае структура аппаратных средств не связана с характером решаемой задачи. Это обеспечивает ИС микропроцессоров массовое производство с соответствующим снижением стоимости. Недостатком микропроцессорных средств является последовательная обработка информации, связанная с последовательным выполнением большого числа отдельных действий, соответствующих командам, что может не обеспечить требуемого быстродействия.

В данном пособии ИС микропроцессоры не рассматриваются, так как они изучаются в курсе с соответствующим названием.

На СБИС с программируемой структурой можно быстрее решать задачи обработки информации, сложность которых ограничена уровнем интеграции микросхем.

Следует отметить, что появление БИС и СБИС не уменьшило важность для специалиста знания МИС и СИС. Так для проектирования устройств на программируемых СБИС фирмы Crosspoint нужно уметь

строить схемы И-НЕ непосредственно из n -МОП и p -МОП транзисторов и, соответственно, из элементов И-НЕ строить все остальные узлы. Для проектирования на современных СБИС программируемой логики фирм Actel, Quicklogic, Xilinx, Altera и др. необходимо уметь строить схемы на мультиплексорах.

В данном пособии рассмотрены основные характеристики и классификация интегральных микросхем, элементная база серий МИС, СИС, БИС и микропроцессоров, кроссбар-архитектуры, схемы гальванической развязки: оптоэлектронные интегральные схемы, трансформаторные интегральные схемы компании Analog Device, триггерные устройства, функциональные узлы комбинационного и последовательностного типа.

Содержание пособия соответствует рабочей программе дисциплины «Схемотехника ЭВМ» для студентов, обучающихся по направлению 230100 «Информатика и вычислительная техника».

Авторы благодарят рецензентов за ряд ценных замечаний, способствовавших улучшению пособия.

1. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ И КЛАССИФИКАЦИЯ ИНТЕГРАЛЬНЫХ СХЕМ

1.1. Понятие интегральной схемы

ИС (интегральная схема) представляет собой микроэлектронное устройство, рассматриваемое как единое изделие, содержащее, как правило, большое количество взаимосвязанных компонентов (транзисторы, диоды, конденсаторы, резисторы), изготовленная в едином технологическом цикле (одновременно) на одной и той же несущей конструкции (подложке) и выполняющая определенную функцию преобразования данных.

Термин ИС (Integrated Circuit, IC) отражает факт объединения отдельных деталей компонентов в конструктивно единый прибор. Компоненты, входящие в состав ИС, не могут быть выделены из нее в качестве самостоятельных изделий и называются элементами ИС (интегральными элементами). Они обладают некоторыми особенностями по сравнению с такими же конструктивно обособленными единицами. Для изготовления ИС используется групповой метод производства и планарная технология. Групповой метод производства заключается, во-первых, в том, что на одной пластине полупроводникового (ПП) материала одновременно изготавливается большое количество ИС (пластины обычно круглые), во-вторых, если позволяет технология, то одновременно обрабатывается несколько пластин.

После завершения определенных циклов изготовления пластина разрезается в двух взаимно перпендикулярных направлениях на отдельные кристаллы (chip), каждый из которых представляет комплект для финальной операции корпусирования, т.е. помещения ИС в корпус с присоединением лазерной сваркой контактных площадок к ножкам (pin) ИС.

Технологические операции при изготовлении чипа заключается в создании отдельных элементов, их соединении в схему и присоединении к специальным контактным площадкам. Пока технологический процесс ведется по планарной технологии, когда все элементы и их составляющие создаются в ИС путем их формирования через плоскость.

1.2. Составляющие стоимости ИС и пути ее уменьшения

Стоимость одной ИС определяется по формуле $D = \frac{1}{xy} \left(\frac{A+B}{z} + C \right)$,

где A – затраты на научно-исследовательскую и опытно-конструкторскую работу по созданию ИС; B – затраты на технологическое оборудование, помещение и др.; C – текущие расходы на материалы, электроэнергию, зарплату в пересчете на одну пластину; z – количество чипов на пластине; y – отношение годных ИС к количеству запущенных в производство; x – количество кристаллов на пластину.

Рост числа чипов на пластине достигается двумя путями: увеличением размера пластины или уменьшением размера отдельных элементов. Используются оба этих направления.

1.3. Типы интегральных схем по технологическому признаку

По технологическому признаку ИС разделяют на полупроводниковые, пленочные и гибридные.

Полупроводниковая ИС – ИС, все элементы и межэлементные соединения которой выполнены в объеме и на поверхности ПП кристалла.

Гибридная ИС – ИС содержат элементы, компоненты и кристаллы, а также межэлементные соединения, размещенные на поверхности диэлектрической подложки.

Пленочные ИС – содержат элементы и межэлементные соединения, выполненные на поверхности диэлектрической подложки.

1.4. Понятие серии интегральных схем

Серия ИС представляет собой совокупность типов ИС, обладающих конструктивной, электрической и при необходимости информационной и программной совместимостью, предназначенных для совместного применения.

ИС одной серии имеют единое конструктивно-технологическое исполнение, единые напряжения питания и уровень сигнала, одинаковые надежностные и эксплуатационные характеристики и при совместном применении не нуждается в дополнительных согласующих устройствах.

Термином **тип ИС** определяется ИС конкретного функционального назначения и определенного конструктивного технологического и схемотехнического решения, имеющая свое условное обозначение.

ИС определенного типа может иметь несколько типонаименований, различающиеся по 1 или более параметрами и требованиями к внешним воздействующим факторам.

Информация о типе и типоминимале ИС, а также о ее принадлежности к отдельной серии содержится в условном обозначении ИС.

1.5. Условное обозначение интегральных схем согласно ГОСТ

Отечественные обозначения имеют следующие элементы обозначений: К _ Х _ ХХХХ _ ХХ _ ХХХ (рис. 1.1).

1. Область применения: «К» – широкое применение, отсутствие – ИС военного применения.
2. Буква – тип корпуса: Р – пластмассовый корпус; М – Керамический корпус; Б – бескорпусное; Отсутствие – стандартный корпус.
3. Номер серии: 3 или 4 цифры, где первая цифра – конструктивно-технологическое исполнение ИС. 1, 5, 6, 7 – ПП ИС. 2, 4, 8 – гибридные. 3 – пленочные и прочие.
4. Функции ИС: 2 буквы.
5. Номер ИС: до 3-х цифр, условный номер микросхемы в данной серии по функциональному признаку.

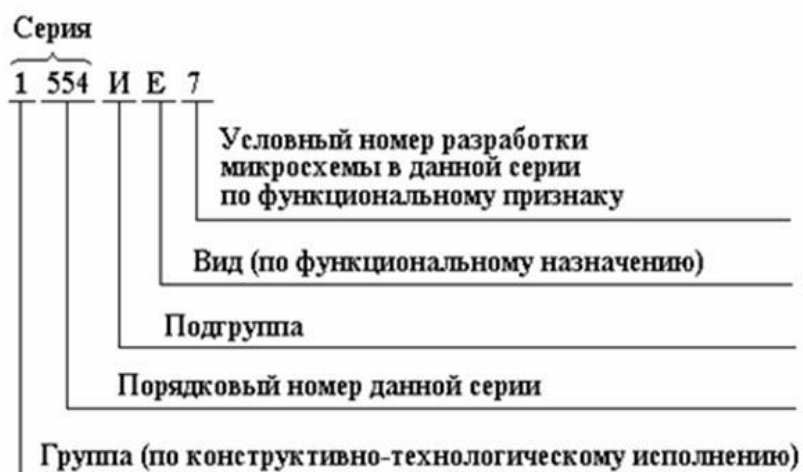


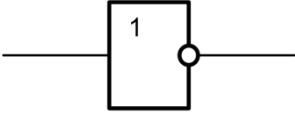
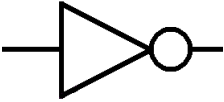
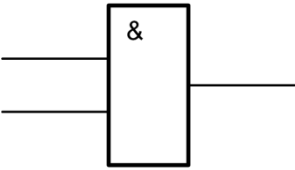
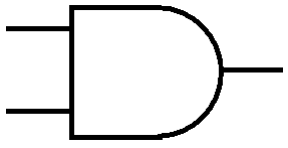
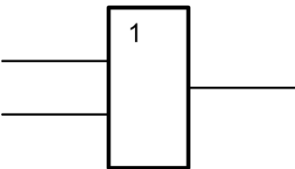
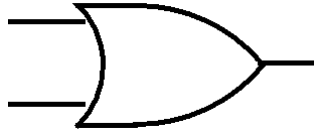
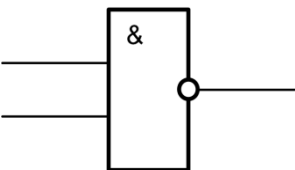
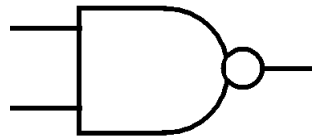
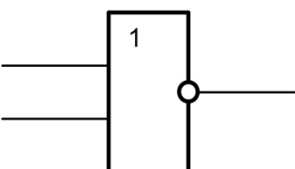
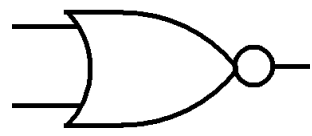
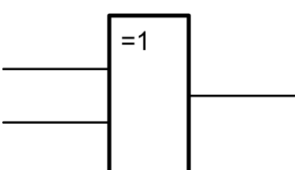
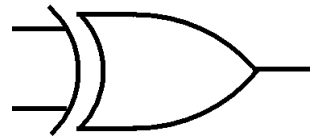
Рис. 1.1. Условное обозначение микросхем

1.6. Условно графическое обозначение логических элементов на функциональной схеме

В каждом корпусе интегральных схем МИС находится по несколько логических элементов. Условно графическое обозначение (УГО) на функциональной схеме основных логических элементов приведено в табл. 1.1.

Таблица 1.1.

*Условно графическое обозначение логических элементов,
соответствующее отечественным и международным стандартам*

Логическая функция	Шифр функции в серии / международное обозначение	УГО	
		отечественное	международное
НЕ	ЛН / NOT		
И	ЛИ / AND		
ИЛИ	ЛЛ / OR		
И-НЕ	ЛА / NAND		
ИЛИ-НЕ	ЛЕ / NOR		
Исключающее ИЛИ	ЛП / XOR		

1.7. Характеристики цифровых интегральных схем

Функциональную сложность ИС принято характеризовать степенью интеграции, а именно: количеством элементов (часто транзисторов) на кристалле. Для количественной оценки степени интеграции используют формулу $k = \lg N$, где N – число транзисторов.

Различают:

- МИС – $K \leq 2$ (IC, Integrated Circuit, малой степени интеграции – SSI (small scale integration));
- СИС – $2 < K \leq 3$ (средней степени интеграции – MSI (medium scale integration), для аналоговых схем $N < 500$);
- БИС – $3 < K \leq 5$ (большой степени интеграции – LSI (large scale integration) для аналоговых $N > 500$);
- СБИС – $5 < K$ (сверх большой степени интеграции – VLSI (very large scale integration)).

1.8. Основные электрические параметры интегральных схем

Цифровые микросхемы развивались в следующей последовательности: резистивно-транзисторная логика (РТЛ), диодно-транзисторная логика (ДТЛ), транзисторно-транзисторная логика (ТТЛ), эмиттерно-связанная логика (ЭСЛ), транзисторно-транзисторная логика с диодами Шотки (ТТЛШ), интегрально-инжекционная логика (И²Л). В этих определениях слово “логика” подразумевает понятие “электронный ключ”.

Все перечисленные выше логические микросхемы выполнены на базе биполярных транзисторов. Наряду с ними широкое распространение получили цифровые микросхемы на МОП-структурах (на транзисторах p - и n -типов с обогащенным каналом, КМОП-схемы на дополняющих транзисторах). Серии РТЛ, РЕТЛ промышленностью в настоящее время не выпускаются, но еще используются только для комплектации серийной РЭА. Наиболее широкое распространение в современной аппаратуре получили серии интегральных схем ТТЛШ и схемы на КМОП-структурах, так как они отличаются более высоким уровнем интеграции и обладают большим функциональным разнообразием.

Параметры микросхем конкретной серии в основном определяются параметрами базовых элементов логики. К основным параметрам относятся: быстродействие; потребляемая мощность ($P_{\text{пот}}$); помехоустойчивость $U_{\text{пом}}$; коэффициент разветвления по выходу (нагрузочная способность) $K_{\text{раз}}$; коэффициент объединения по входу $K_{\text{об}}$. Быстродействие определяется динамическими параметрами цифровых микросхем, к которым относятся: $t^{1,0}$ – время перехода сигнала на выходе микросхемы из

состояния логической “1” в состояние логического “0”; $t^{0,1}$ – время перехода из состояния низкого уровня в состояние высокого уровня; $t^{1,0}_{\text{здр}}$ – время задержки распространения при включении; $t^{1,0}_{\text{зд}}$ – время задержки включения; $t^{0,1}_{\text{здр}}$ – время задержки распространения при выключении; $t^{0,1}_{\text{зд}}$ – время задержки выключения; $t_{\text{здрср}}$ – среднее время задержки распространения сигнала; f_p – рабочая частота. Среднее время задержки распространения $t_{\text{здрср}} = 0,5(t^{1,0}_{\text{здр}} + t^{0,1}_{\text{здр}})$ является усредненным параметром быстродействия микросхемы, используемым при расчете временных характеристик последовательно включенных цифровых микросхем. На рис. 1.2.А показаны уровни отсчета, определяющие параметры быстродействия цифровых микросхем.

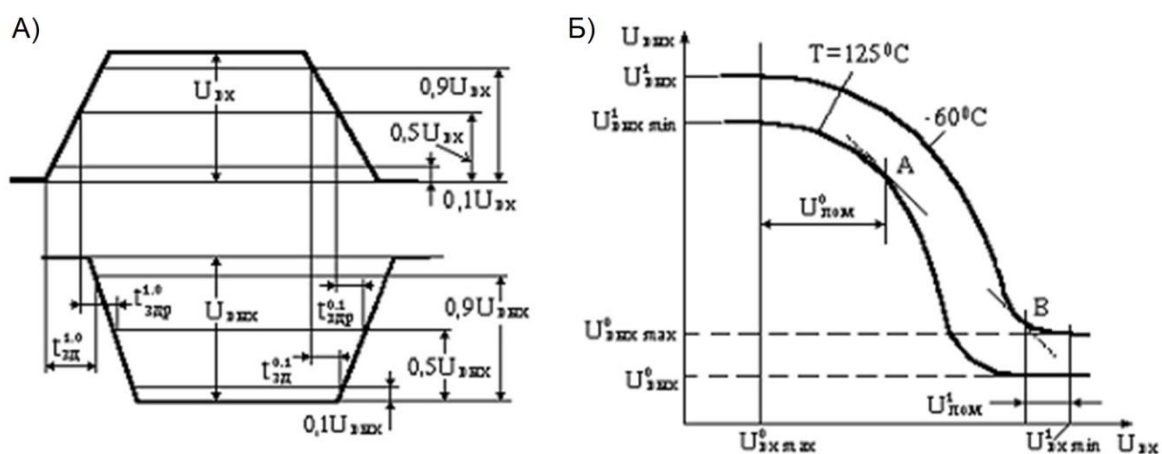


Рис. 1.2. А – сигналы на входе и выходе элемента НЕ, Б – передаточные характеристики элемента НЕ

В зависимости от технологии микросхем, мощности, потребляемые при состоянии логического нуля и при состоянии логической “1” могут отличаться. Поэтому, мощность, потребляемая логическими элементами в динамическом режиме, определяется как $P_{\text{потср}} = 0,5(P^0_{\text{пот}} + P^1_{\text{пот}})$, где $P^0_{\text{пот}}$ – мощность, потребляемая микросхемой при состоянии выхода “0”, $P^1_{\text{пот}}$ – мощность при выходном состоянии “1”.

Некоторые логические элементы кроме статической средней мощности характеризуются мощностью, потребляемой на максимальной частоте переключения, когда токи в цепях питания возрастают во много раз. К таким схемам относятся интегральные схемы КМОП технологии, которые потребляют микроамперы, если нет переключающих сигналов.

Допустимый уровень напряжения помехи логического элемента определяется уровнем входного напряжения, при котором еще не происходит ложное срабатывание микросхемы.

В статическом режиме помехоустойчивость определяется по низкому $U^0_{\text{пом}}$ и высокому $U^1_{\text{пом}}$ уровням. Значения $U^0_{\text{пом}}$ и $U^1_{\text{пом}}$ определяют с помощью передаточных характеристик (рис. 1.2.Б). Как следует из рис. 1.2.Б, напряжение помехи по высокому уровню определяется как разность минимального напряжения высокого уровня $U^1_{\text{вхmin}}$ и напряжения в точке перегиба верхней кривой (точка В). Параметр $U^0_{\text{пом}}$ определяется как разность напряжения низкого уровня $U^0_{\text{вхmax}}$.

Помехоустойчивость в динамическом режиме зависит от длительности, амплитуды и формы импульса помехи, а также от запаса статической помехоустойчивости и скорости переключения логического элемента.

Коэффициент разветвления по выходу $K_{\text{раз}}$ определяет число входов аналогичных элементов, которое может быть подключено к выходу предыдущего элемента без нарушения его работоспособности. С увеличением нагрузочной способности расширяются возможности применения цифровых микросхем и уменьшается число корпусов в разрабатываемом устройстве. Однако при этом ухудшаются помехоустойчивость и быстродействие микросхемы и возрастает потребляемая мощность.

Коэффициент объединения по входу $K_{\text{об}}$ определяет максимальное число входов цифровых микросхем.

1.9. Контрольные вопросы

1. Понятие интегральной схемы.
2. Составляющие стоимости ИС и пути ее уменьшения.
3. Типы ИС по технологическому признаку.
4. Дайте определение полупроводниковой ИС.
5. Дайте определение гибридной ИС.
6. Дайте определение пленочной ИС.
7. Понятие серия ИС.
8. Дайте определение термина «Тип (типономинал) микросхемы».
9. Отечественное и международное УГО логических элементов.
10. Классификация ИС по степени интеграции.
11. Понятие степени интеграции и функциональной сложности ИС.
12. Основные электрические параметры ИС.

2. ЭЛЕМЕНТНАЯ БАЗА СЕРИЙ МАЛЫХ, СРЕДНИХ, БОЛЬШИХ ИС И МИКРОПРОЦЕССОРОВ

2.1. Элементы транзисторно-транзисторной логики

2.1.1. Базовый элемент транзисторно-транзисторной логики

Основная особенность ИС ТТЛ состоит в том, что во входной цепи используется специфический интегральный прибор – многоэмиттерный транзистор. От обычных биполярных транзисторов он отличается тем, что имеет несколько эмиттеров (2, 3, 4, 8), объединенных общей базой. Эмиттеры расположены так, что непосредственное взаимодействие между ними через участок базы отсутствует. Поэтому многоэмиттерный транзистор можно рассматривать как совокупность нескольких транзисторов с объединенными коллекторами и базами (рис. 2.1).

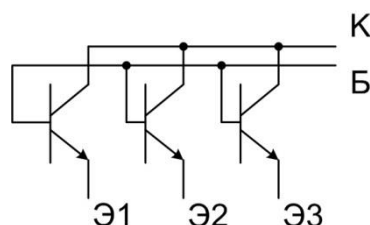


Рис. 2.1. Биполярные транзисторы с общей базой (Б) и коллектором (К); Э – эмиттер

Принципиальная схема базового элемента ТТЛ 155 серии приведена на рис. 2.2.

Схема содержит три каскада: входной – $R1$, $VT1$, $VD1 - VD4$; фазорасщепительный – $R2$, $VT2$, $R3$, $R4$, $VT3$; выходной – $VT4$, $VT5$, $VD5$, $R5$.

Диоды $VD1 - VD4$ носят название антизвонных и при нормальном использовании ИС смещены в обратном направлении, имеют очень большое сопротивление (по меркам ТТЛ схем), и не влияют на работу схемы.

При подаче на все входы высоких уровней напряжения ток базы $VT1$ переключается на базу транзистора $VT2$, открывая и насыщая его. Приращение напряжений на эмиттере и коллекторе $VT2$ находится в противофазе. В этой ситуации напряжение на эмиттере увеличится, на коллекторе – уменьшится. На выходе напряжение, равное падению напряжения на $VT5$ от втекающих токов подключенных входов.

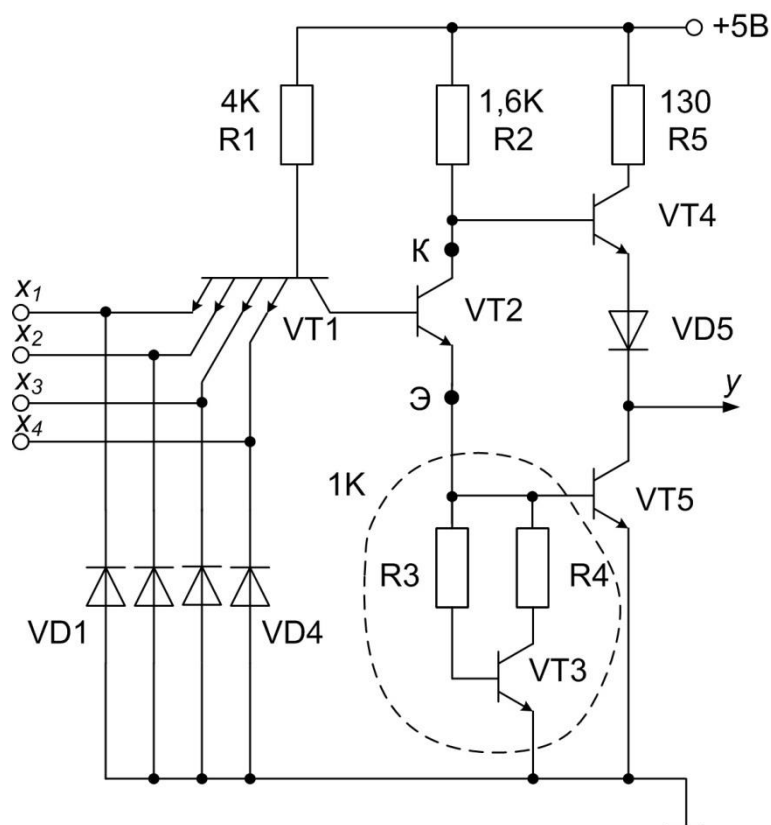


Рис. 2.2. Схема базового вентиля K155 серии

Когда хотя бы на одном из входов напряжение низкого уровня, ток базы транзистора VT1 течёт через эмиттер. Поэтому VT2 закрыт. При закрытом VT2 закрыт VT5, открыт VT4.

В момент смены входного сигнала с высокого уровня на низкий транзисторы VT2 и VT5 запираются, а транзистор VT4 и диод VD5 отпираются. Однако транзистор VT4 и диод VD5 начинают проводить чуть раньше момента, в который VT5 будет полностью закрыт. Это создает путь току по шине питания, резистору R5, транзистору VT4, диоду VD5, транзистору VT5 и проявляется в кратковременных, но заметных бросках тока в цепи питания. Резистор R5 ограничивает ток уровнем 30 мА. Как защитное средство применяют шунтирование шин питания конденсаторами. Ставят керамический конденсатор возле каждого корпуса ИС емкостью из расчета 0,01 мкФ на корпус ИС и один электролитический 0,1 мкФ на плате.

На выходе схемы в состоянии логической единицы напряжение равно: $U_{вых}^1 = U_n - I_{вых} \cdot R_5 - U_{кэVT4} - U_{VD5} \approx 3,4 - 3,6В$ без нагрузки.

Подключенный резистор увеличивает выходное напряжение, но снижает быстродействие и нагрузочную способность (рис. 2.3).

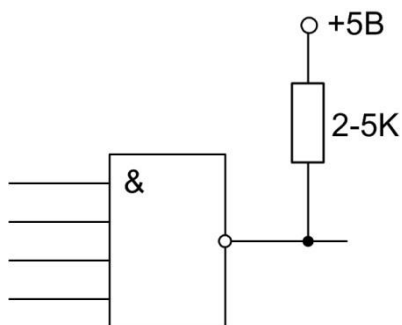


Рис. 2.3. Схема повышения уровня выходного напряжения

Выпускаемая серия имеет достаточно широкую номенклатуру, но даже её не всегда хватает для решения некоторых задач. Для увеличения количества входов существуют схемы расширения по И (рис. 2.4.А) или по ИЛИ (рис. 2.4.Б). Для наращивания количества входов по ИЛИ необходимо, чтобы в ЛЭ были специальные входы, подключенные к точкам К и Э (см. рис. 2.2).

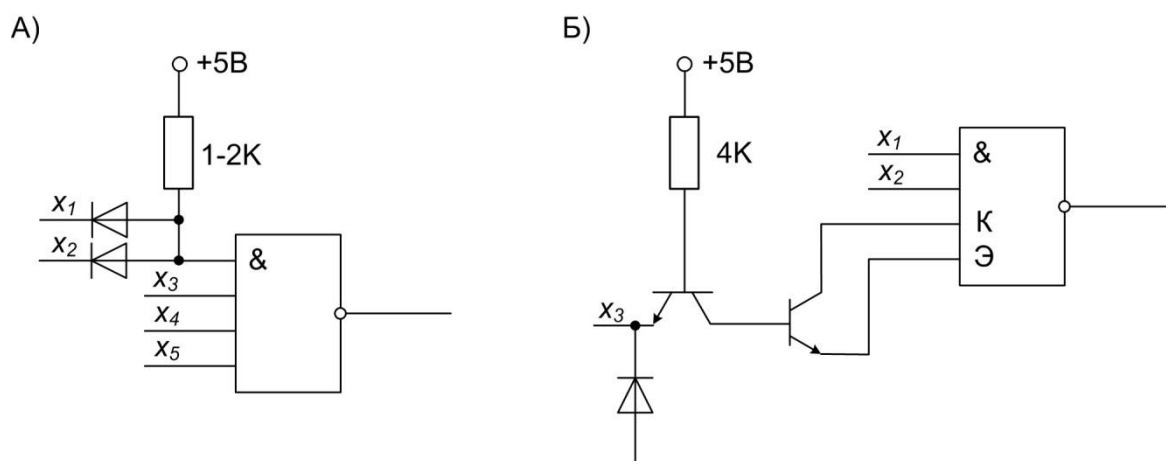


Рис. 2.4. Схемы увеличения количества входов: А – по И, Б – по ИЛИ

Для повышения нагрузочной способности и ряда других целей (управление внешними устройствами, выполнения логических операций и др.) выпускаются ЛЭ с открытым коллектором (рис. 2.5).

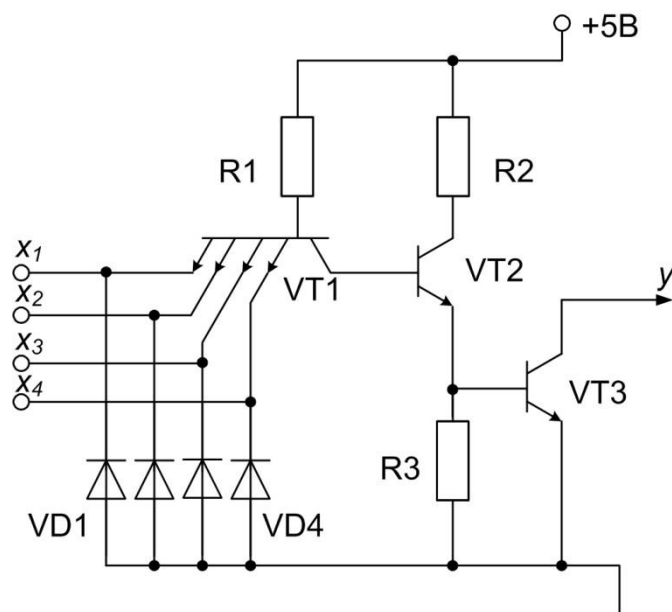


Рис. 2.5. Схема ЛЭ с открытым коллектором

Для нормальной работы ЛЭ с открытым коллектором выходы необходимо подключать к шине питания через нагрузочный элемент (рис. 2.6).

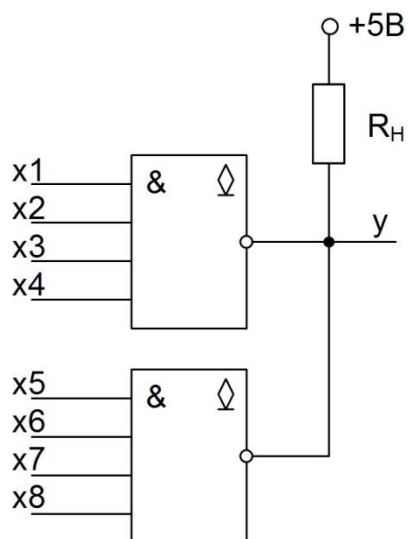


Рис. 2.6. Монтажное И ЛЭ с открытым коллектором

ЛЭ с открытым коллектором широко применяются для подключения индикации (рис. 2.7).

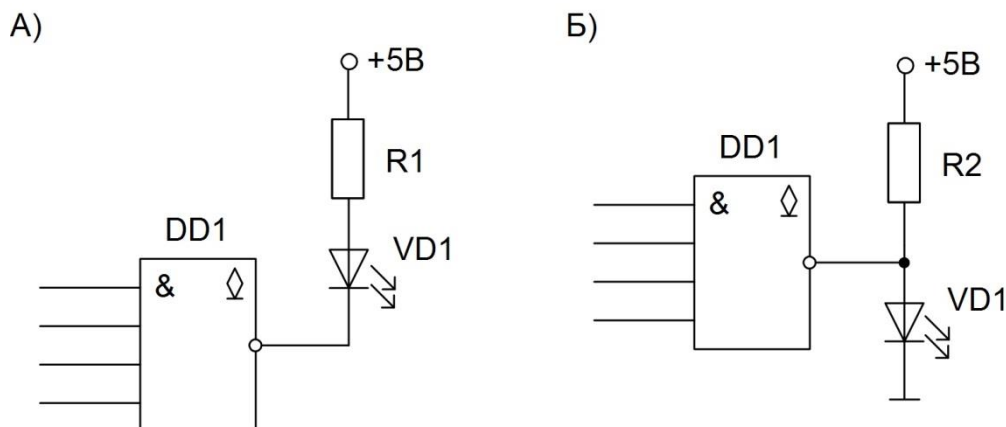


Рис. 2.7. Подключение индикации к ЛЭ: А – в отрицательной логике, Б – в положительной логике

$$R1 = \frac{U_{\Pi} - U_{VD1} - U_{DD1}}{I_{VD1max} \cdot 0,8}, \quad R2 = \frac{U_{\Pi} - U_{VD1}}{I_{VD1max} \cdot 0,8}.$$

2.1.2. Схемы И, ИЛИ на диодах, их работа

Для понимания работы ТТЛШ интегральных схем рассмотрим работу схем ИЛИ, И на диодах. Заметим, что такие схемы широко используются в энергонезависимых ПЗУ, ПЛИС.

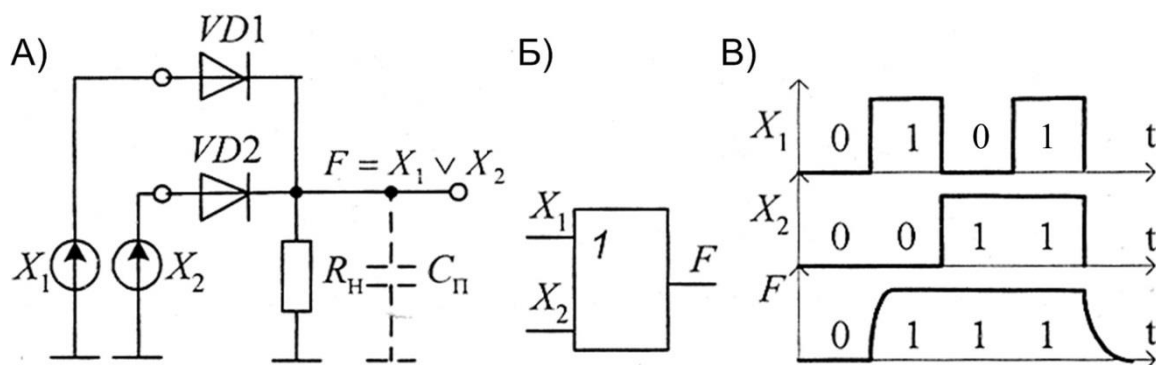


Рис. 2.8. ИЛИ на диодах: А – принципиальная схема, Б – УГО, В – временные диаграммы работы

Логика работы ЛЭ ИЛИ представлена в табл. 2.1.

Таблица 2.1

X_1	X_2	F
0	0	0
1	0	1
0	1	1
1	1	1

Выражение для выходной булевой функции: $F = X_1 \vee X_2$.

Высокий уровень напряжения U_{OH} на выходе диодного элемента ИЛИ устанавливается при подаче на один или оба входа высоких уровней напряжения U_{IH} , при которых открываются соответствующие диоды VD1 или VD2, либо оба вместе. В резистор нагрузки R_H втекает выходной ток I_{OH} , определяемый по формуле: $I_{OH} = \frac{U_{OH}}{R_H}$.

Значение выходного высокого уровня U_{OH} зависит от входных напряжений:

$U_{IH} = U_{IH} - U^*$, где $U^* = 0,8$ В – прямое падение напряжения на кремниевом диоде.

Для $U_{IH} = 5$ В, $R_H = 1$ КОм, получим:

$$U_{OH} = U_{IH} - U^* = 5 - 0,8 = 4,2 \text{ (В)};$$

$$I_{OH} = \frac{U_{OH}}{R_H} = \frac{4,2}{10^3} = 4,2 \text{ (мА)}.$$

При подаче одновременно на оба входа низких уровней напряжения $U_{IL} \leq 0,4$ В, диоды закрыты, ток в цепи нагрузки не протекает и выходное напряжение почти равно нулю.

На выходе элемента обычно имеется паразитная емкость $C_{П} = 25 \dots 100$ пФ, вследствие чего длительность фронта t_{LH} очень мала (ёмкость быстро заряжается от источника входных сигналов через малое прямое сопротивление открытого диода), а длительность спада t_{HL} велика (диоды закрыты и емкость разряжается через резистор R_H). Поэтому для диодных схем ИЛИ выполняется неравенство $t_{LH} \ll t_{HL}$.

Логика работы ЛЭ И на два входа представлена в табл. 2.2, на основе которой получают выражение для выходной булевой функции: $F = X_1 X_2$.

Таблица 2.2

X_1	X_2	F
0	0	0
1	0	0
0	1	0
1	1	1

Высокий уровень напряжения U_{OH} на выходе диодного элемента И устанавливается только при одновременной подаче на оба входа высоких уровней напряжения U_{IH} , при которых закрываются диоды VD1 и VD2 (рис. 2.9). При этом от источника питания U_{CC} через резисторы R и R_H

протекает ток нагрузки: $I_{OH} = \frac{U_{CC}}{R + R_H}$, который определяет значение высокого уровня выходного напряжения: $U_{OH} = I_{OH} R_H = \frac{U_{CC} R_H}{R + R_H}$.

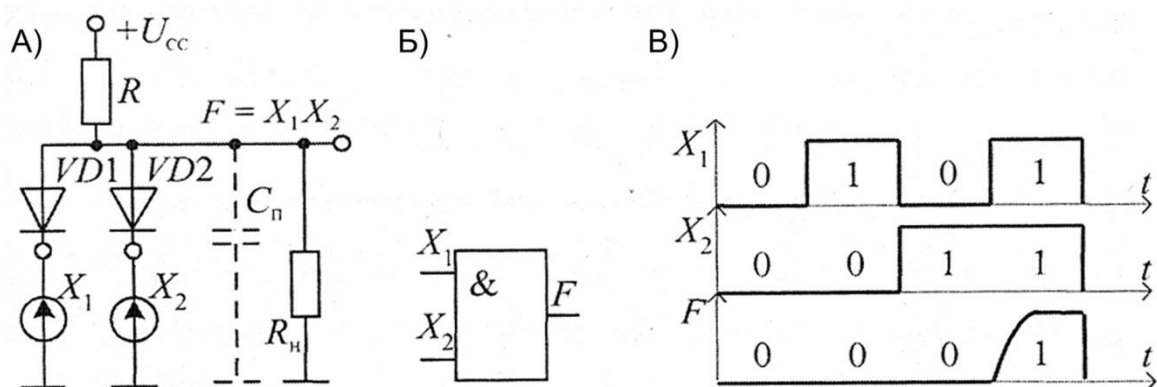


Рис. 2.9. И на диодах: А – принципиальная схема, Б – УГО, В – временные диаграммы работы

Как правило, используют значения $R=1\dots2$ кОм и $R_H > R$. Длительность фронта выходного сигнала t_{LH} определяется временем заряда паразитной емкости C_p через большое сопротивление резистора R . Если на один из входов, например, X_1 подан низкий уровень напряжения U_L , то диод VD_1 открывается. При этом от источника питания U_{CC} по цепи: резистор R , открытый диод VD_1 и источник входного сигнала X_1 – протекает ток, значение которого определяется из выражения: $I_L = \frac{U_{CC} - (U^* + U_L)}{R}$, и на выходе устанавливается низкий уровень напряжения: $U_{OL} = U_{CC} - I_L R = U_L + U^*$, где $U^* = 0,8$ В – прямое падение напряжения на открытом диоде VD_1 . Источники входных сигналов строят так, чтобы они пропускали втекающий в них ток I_L .

Длительность спада выходного сигнала определяется временем разряда паразитной ёмкости C_p через малое прямое сопротивление открытого диода. Поэтому в диодных схемах И длительность фронта выходного сигнала значительно больше длительности спада: $t_{LH} \gg t_{HL}$.

2.1.3. Базовый элемент ИС диодно-транзисторных схем на диодах и транзисторах Шотки

ИС ТТЛШ можно разделить на две группы:

1. Быстродействующие серии К530, К531, К1531.
2. Маломощные серии К533, К555, К1533.

ИС серий К530, К531, К1531 имеют максимальное быстродействие, которое сочетается с умеренным потреблением мощности. Эти качества достигаются за счёт введения в схему метало-полупроводниковых выпрямляющих контактов (диоды с барьерами Шотки, т.е. диодов Шотки).

По принципу действия диоды Шотки (ДШ) существенно отличаются от диодов, работа которых основана на свойствах $p-n$ перехода. В таком переходе, смещённом в прямом направлении, перенос тока обусловлен инжекцией неосновных носителей заряда из одной области полупроводника в другую. Вследствие чего после переключения приложенного напряжения на обратное ток протекает некоторое время, пока избыточная концентрация неосновных носителей не снизится до нуля (время рассасывания). В ДШ накопление неосновных носителей не происходит, т.к. перенос тока в них обусловлен переходом (эмиссией) основных носителей из полупроводника в металл. Благодаря этому их время выключения очень мало (до 100 пс) и не зависит от температуры. Ещё одним достоинством ДШ является малое напряжение отпираия 0,2-0,4 В. В обычных ИС ТТЛ открытые транзисторы находятся в состоянии насыщения, при котором эмиттерный и коллекторный переходы смещены в прямом направлении и инжектируют. Это создаёт избыточное количество неосновных носителей в базовой и коллекторной областях, что увеличивает время выключения транзистора.

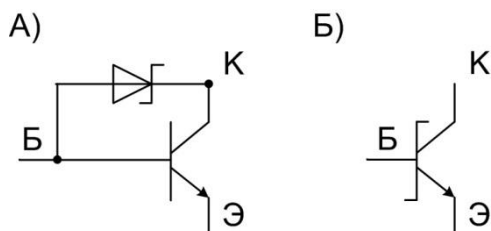


Рис. 2.10. Транзистор Шотки: А – принципиальная схема, Б – УГО

На рис. 2.10.А когда транзистор заперт или находится в ненасыщенном режиме потенциал $K > Б$, ДШ смещён в обратном направлении и не влияет на работу транзистора. Если в процессе отпираия потенциал $K < Б$, то ДШ открывается и на нём устанавливается прямое напряжение 0,4 В. Это напряжение не даёт транзистору войти в режим насыщения, вследствие чего не возникает инжекции и избыточных неосновных носителей заряда. Благодаря этому не возникает задержки при запираии транзистора из-за рассасывания избыточного заряда. Принципиальная схема базового элемента К530/К531 серий приведена на рис. 2.11.

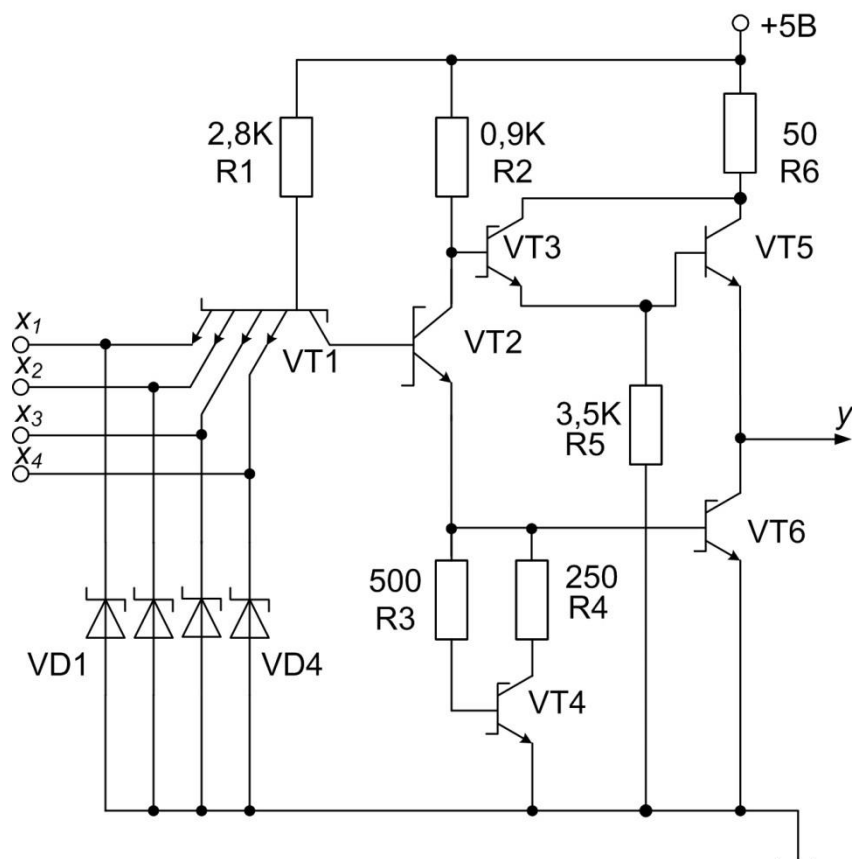


Рис. 2.11. Схема базового вентиля K530/K531 серий

В ТТЛШ броски тока при переключениях также возникают, потребляемая мощность растёт с частотой переключения. В статике ТТЛШ серий K530/K531 потребляет практически такую же мощность, как и ИС K155 серии. Однако при переключении с частотой 50 МГц – рассеиваемая мощность удваивается, при 100 МГц – утраивается. В связи с этим выпускаются специальные серии с пониженным энергопотреблением K533/K555. Принципиальная схема базового элемента K533/K555 серий приведена на рис. 2.12.

Базовый элемент ИС диодно-транзисторных схем на диодах и транзисторах Шотки содержит три основных каскада: входной, реализующий функцию И, выполненный на диодах VD3, VD4 и резисторе R1; фазовращательный, включающий транзисторы VT1, VT2, диод VD5 и резисторы R2-R4; выходной усилитель, состоящий из транзисторов VT3-VT5 и резисторов R5, R6.

Отличительной особенностью ТТЛШ ИС является наличие в активных элементах схемы, кроме транзистора VT5(4), диодов Шотки, которые **шунтируют коллекторные переходы транзисторов**. Диод Шотки имеет более низкое прямое падение напряжения, чем кремниевый

p - n переход, и **предохраняет транзистор от насыщения**. Введение диодов Шотки исключает накопление зарядов, увеличивающих время выключения транзистора, и способствует стабильности временных параметров транзистора в рабочем диапазоне температур, поэтому **скорость переключения схемы возрастает** по сравнению с ИС К155, выполненных без диодов Шотки.

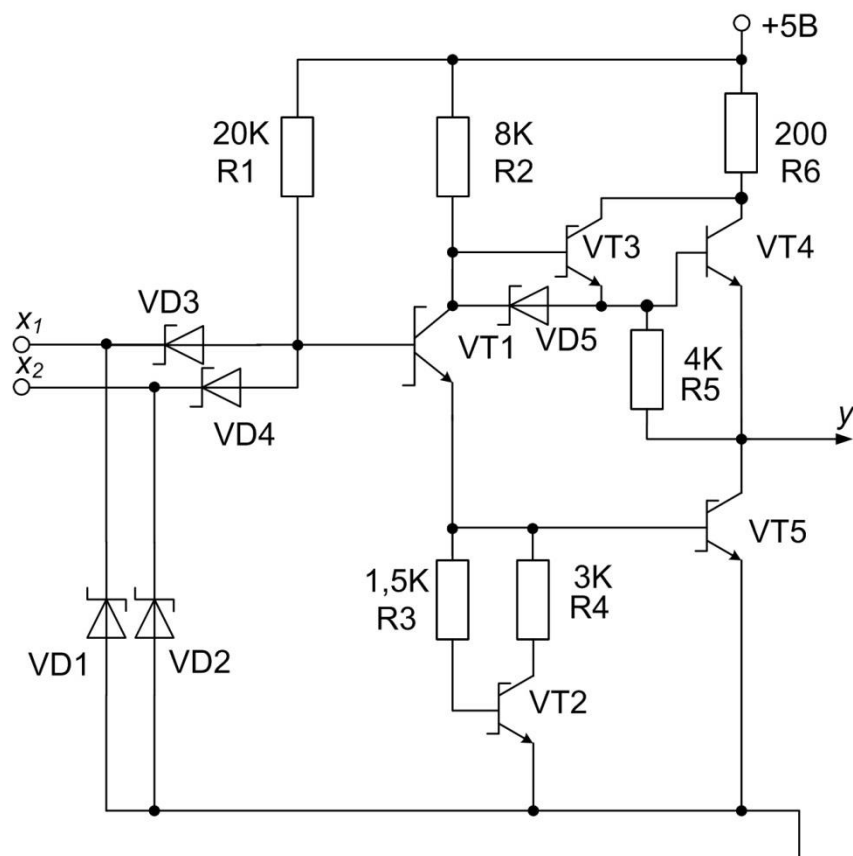


Рис. 2.12. Схема базового вентиля К533/К555 серий

Подключение диодов Шотки к входным контактам (антизвонных диодов $VD1$ и $VD2$) ограничивает отрицательные выбросы сигналов на входе схемы. Входной каскад И работает следующим образом. При одновременной подаче на все входы микросхемы напряжения, соответствующего высокому уровню, ток резистора $R1$ потечёт в базу транзистора $VT1$, так как входные диоды $VD1$, $VD2$ будут смещены в обратном направлении. Если хотя бы на один из входов подано напряжение низкого уровня, то ток резистора $R1$ из схемы будет протекать через входные диоды.

Фазовращательный каскад улучшает передаточные характеристики схем. Когда отсутствует ток в базе транзистора $VT1$, то включены (открыты) транзисторы $VT3$, $VT4$. При включении транзистора $VT1$ открывается транзистор $VT5$.

Верхнее плечо выходного каскада выполнено по схеме Дарлингтона на транзисторах $VT3$ и $VT4$. Это обеспечивает высокий коэффициент усиления каскада в состоянии высокого уровня, повышение нагрузочной способности схемы и улучшает её динамические свойства. Транзистор $VT4$ работает в активном режиме. Нижнее плечо выходного каскада выполнено на транзисторе $VT5$. Транзистор $VT5$ открыт в том случае, когда на все входы схемы подан высокий уровень напряжения.

Резистор $R5$ верхнего плеча выходного каскада создаёт напряжение на базе транзистора $VT4$ и подключён к выходу ЛЭ с целью уменьшения потребляемой мощности при высоком уровне напряжения на выходе схемы. Диод $VD5$ позволяет уменьшить задержку включения схемы путём увеличения тока коллектора транзистора $VT1$ в переходном режиме.

Особенности:

1. В данной схеме на входе вместо многоэмиттерного транзистора стоит схема И на диодах Шотки. Свободные входы могут непосредственно подключаться к цепи питания. Однако допустимые помехи для этой схемы несколько ниже, чем для ТТЛ логики.
2. Введен диод $VD5$ для ускорения открывания транзистора $VT5$.
3. Для уменьшения энергопотребления номиналы резисторов увеличены, причем резистор $R5$ подключен не к шине «земля», а к выходу.

Серии ИС К1531 (рис. 2.13), К1533 (рис. 2.14) потребляют энергию на 1 бит в 20 раз меньшую, чем у старых серий. Здесь использованы интегральные транзисторы Шотки с очень малым объёмом коллекторной области, чем реализовано практически предельное быстродействие. Чтобы сохранить значительную нагрузочную способность при безопасной плотности коллекторного тока, входной ток низкого уровня уменьшен в 5..10 раз (0,4 мА К1531 и 0,1-0,2 мА у К1533 вместо 1,6 мА у К155).

В схему ЛЭ К1531 добавлен после «логической» матрицы диодов эмиттерный повторитель $VT1$. Резисторы $R1$ и $R2$ помогают фиксировать пороговое напряжение открывания на уровне 1,5 В. Это благоприятно влияет на повышение помехоустойчивости маломощных ЛЭ.

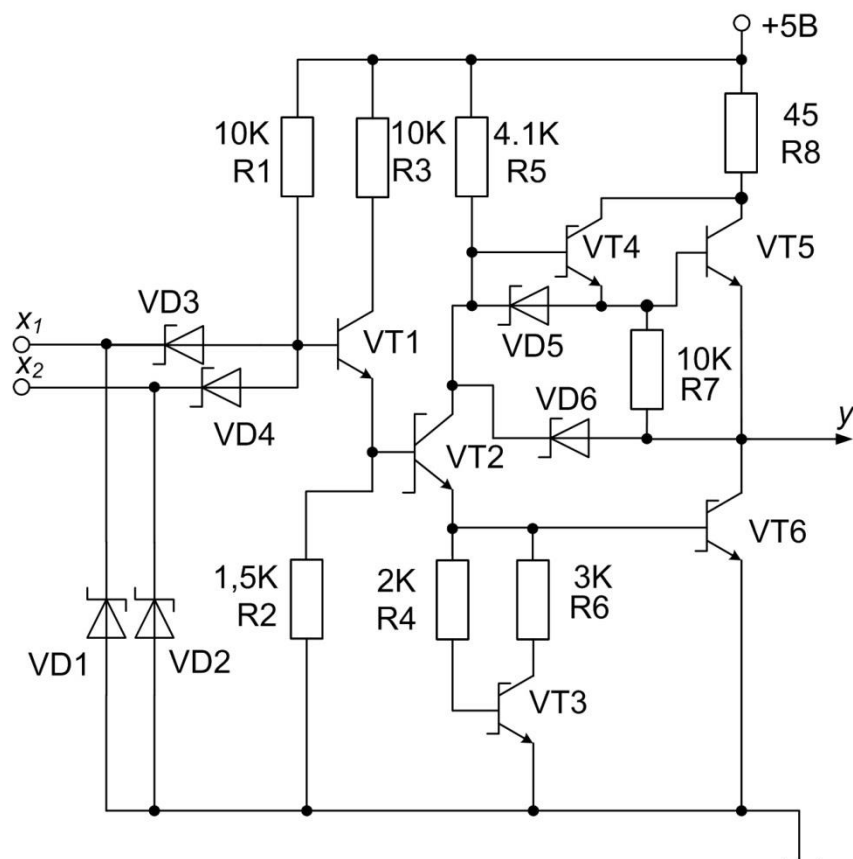


Рис. 2.13. Схема базового вентиля K1531 серии

Маломощные быстродействующие ИС K1533 серии предназначены для организации высокоскоростного обмена и обработки цифровой информации, временного и электрического согласования сигналов в вычислительных системах. ИС K1533 серии по сравнению с известными ИС ТТЛ сериями обладают минимальным значением произведения быстродействия на рассеиваемую мощность.

Работа входного каскада схемы (рис. 2.14): если хотя бы на одном входе действует низкий потенциал, соответствующий уровню логического нуля, то транзистор VT3 практически закрыт и $I_{\text{вх.}}^0$ очень мала. При наличии на всех входах высокого уровня напряжения, соответствующего уровню логической единицы, транзистор VT3 открывается и обеспечивает нужный открывающий ток базы транзистора VT4.

В данной серии удалось снизить энергопотребление за счёт понижения $I_{\text{вх.}}^0$.

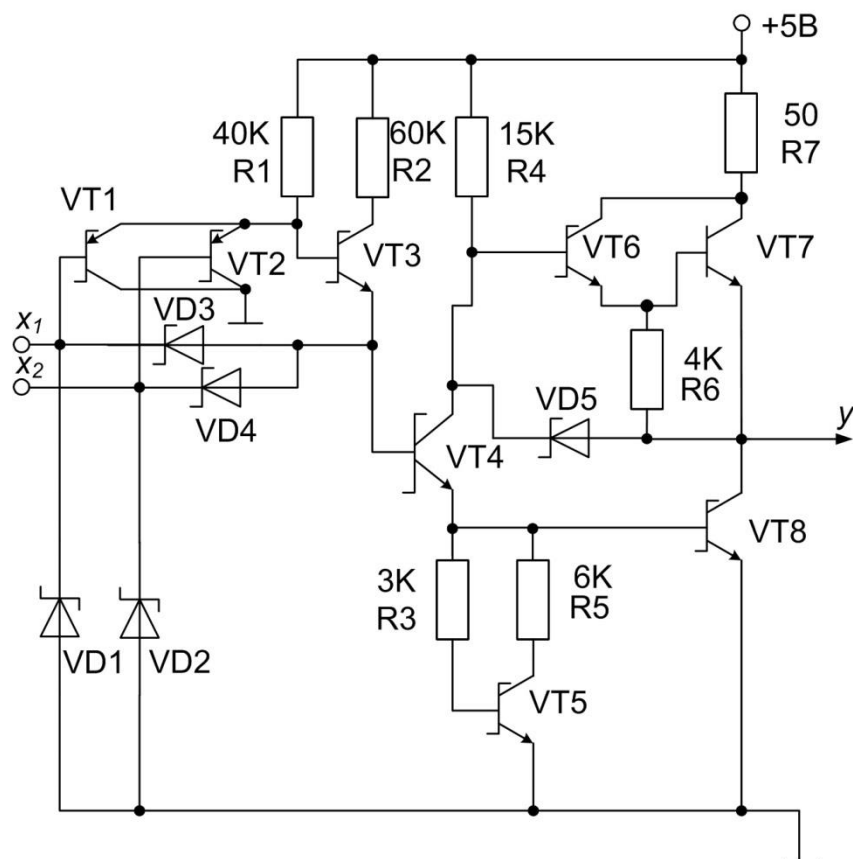


Рис. 2.14. Схема базового вентиля K1533 серии

2.1.4. Логические элементы ИС ТТЛ с тремя состояниями выхода

В общем случае выходы обычных ЛЭ соединять между собой нельзя. Допускается соединение выходов элементов одного корпуса, при этом обязательно между собой соединяются и входы, т.е. значения сигналов на входах и выходах ЛЭ всегда совпадают. Это делают для увеличения нагрузочной способности элементов.

Существует категория микросхем, способных принимать третье состояние, при котором оконечные транзисторы бывают заперты, что равносильно отключению микросхемы от нагрузки. На этом основании третье состояние называют еще высокоимпедансным. Перевод в высокоимпедансное состояние осуществляется по специальному входу. В зависимости от конкретного типа микросхемы отключение выхода может осуществляться сигналами высокого или низкого уровня.

С тремя состояниями выхода выпускаются микросхемы различного функционального назначения, как комбинационного, так и последовательного типов. При поочередном действии таких приборов их выводы можно соединять между собой и подключать к общей нагрузке. Таким способом удастся уплотнить каналы передачи данных, а также создавать

магистралей с двунаправленными потоками информации. Буквы EZ – это метка третьего состояния.

Высокоимпедансное состояние само по себе не является логическим, но входной сигнал, создающий его, может определять логический уровень на выходе системы, в которую входит данная микросхема. Так к примеру схема, изображенная на рис. 2.15 реализует функцию $y = x_1 EZ \vee x_2 \overline{EZ}$

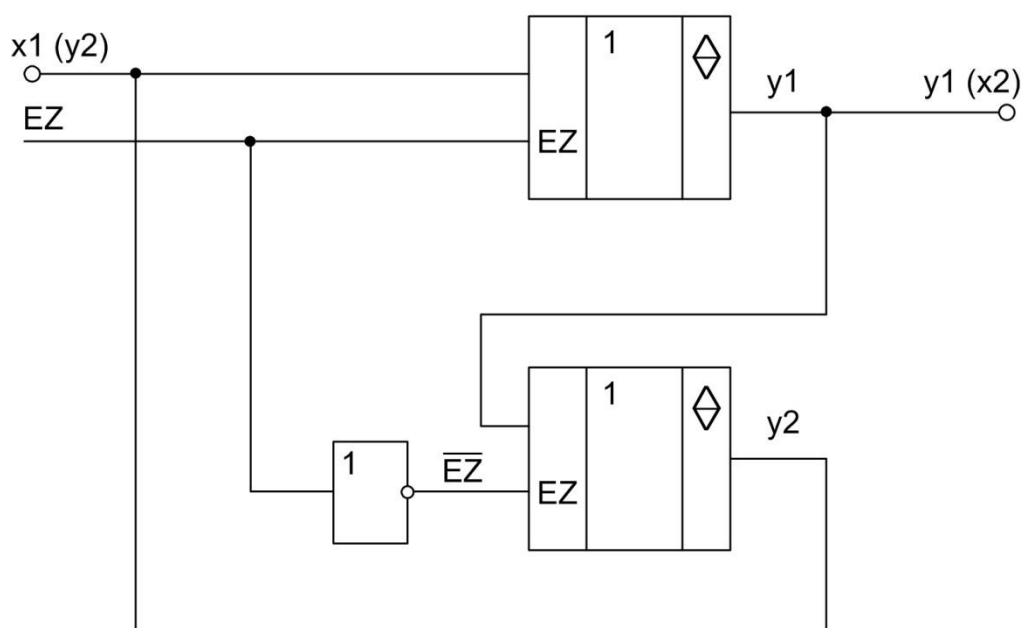


Рис. 2.15. Схема двунаправленной линии

Схема с тремя состояниями выхода (рис. 2.16) отличается от базовой наличием дополнительных каскадов $VT1-VT3$ и диода $VD5$. Когда $VT3$ закрыт, схема действует подобно обычному ЛЭ, т.к. диод $VD5$ смещен в обратном направлении. При открытом $VT3$ – $VD5$ также открыт и напряжение в точке A близко к 0. $VT6$ закрыт. $VT7$ также закрыт, т.к. закрыт $VT5$, поскольку на эмиттере $VT4$ логический 0. В этом состоянии микросхема потребляет значительно меньшую мощность.

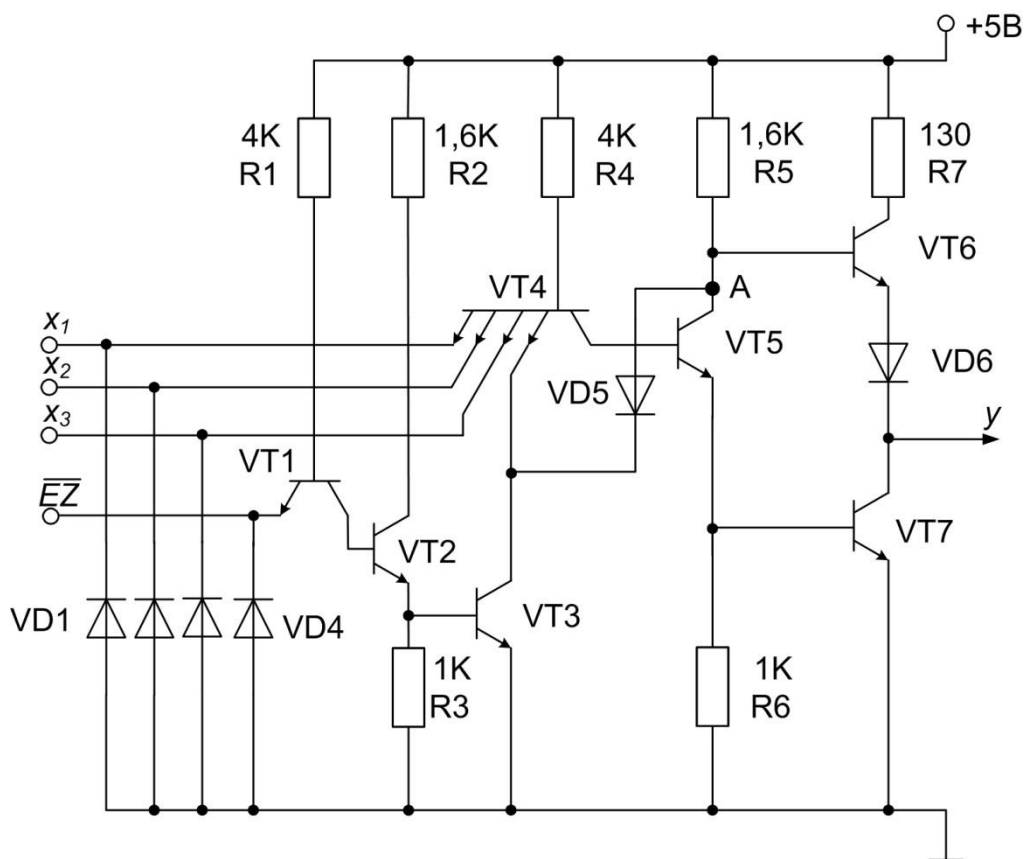


Рис. 2.16. Схема вентиля K155 серии с тремя состояниями выхода

2.1.5. Неиспользуемые логические элементы

ИС содержат в одном корпусе несколько логических элементов, связанных общим питанием. При составлении схемы отдельные логические элементы остаются свободными. Рекомендуется такие элементы включать так, чтобы их выходы имели высокий потенциал (в этом состоянии элемент потребляет минимальную мощность), для чего входы ЛЭ И-НЕ и ИЛИ-НЕ соединяют с общей шиной. В этом случае рассеиваемая мощность минимальна, а сами схемы можно использовать в качестве генератора логической единицы.

Неиспользуемые входы можно объединить с используемыми, если это не ведет к превышению нагрузочной способности предшествующего каскада. Если на неиспользуемом входе должен быть логический ноль, то подключают к общей шине. Для создания уровня лог. 1 напряжение на входе должно находиться в пределах 2,4-3,6 В; непосредственное подключение входов ТТЛ к проводу питания недопустимо из-за большого входного тока.

Логическую 1 на входах ТТЛ можно обеспечить:

- подключив к выходу свободного элемента, чаще всего И-НЕ, входы которого соединены с общей шиной (генератор константы 1); максимальное число входов, подключаемых к элементу, определяется нагрузочной способностью.

- на неиспользуемые входы подают напряжение 2,4-3,6 В от отдельного источника питания;

- неиспользуемые входы подсоединяют к своему источнику питания через ограничивающий резистор сопротивлением 1-2 кОм; к этому резистору допускается присоединять до 20 входов микросхем ТТЛ .

- неиспользуемые входы, на которых постоянно должна быть лог. 1, в крайнем случае можно оставлять свободными: за счет токов утечки на них устанавливается нужное напряжение, но надо иметь в виду, что этот способ ведет к уменьшению быстродействия и помехоустойчивости, особенно при большой частоте переключений, т.к. свободные входы подвержены действию наводок.

2.1.6. Нагрузочная способность

Под нагрузочной способностью N понимают число входов логических элементов из этой же серии, которое может быть подключено к выходу предыдущего логического элемента без нарушения его работоспособности.

Число N для каждой серии рассчитывается исходя из следующих условий: $I_{вых}^0 \geq \sum_{i=1}^N |I_{вх.}^0|$ и $I_{вых}^1 \geq \sum_{j=1}^N |I_{вх.}^1|$, где i, j – индексы элементов нагрузки.

Таблица 2.3

Параметры базовых логических элементов ТТЛ (Ш)

Се- рия	$I_{вх.}^0$, , мА	$U_{вх.}^0$, , В	$I_{вх.}^1$, , мА	$U_{вх.}^1$, , В	$I_{вых.}^0$, , мА	$U_{вых.}^0$, , В	$I_{вых.}^1$, , мА	$U_{вых.}^1$, , В	$t_{з.ср.}$, , нс	N	$P_{ср.}$, мВт
K155	- 1,6	0,8	0,0 4	2	16	0,4	-0,4	2,4	20	1 0	10
K531	-2	0,8	0,0 5	2	20	0,5	-1	2,7	5	1 0	19
K555	- 0,4	0,8	0,0 2	2	8	0,5	-0,4	2,7	18	2 0	2
K153 3	- 0,2	0,8	0,0 2	2	4	0,4	-0,4	2,5	4	2 0	2

2.2. Интегральные схемы на униполярных транзисторах

2.2.1. Цифровые ИС на n -МОП структурах

С точки зрения функционального принципа работы между элементами p -типа и n -типа нет принципиальной разницы. Однако технология изготовления последних сложнее.

Параметры n -транзисторов превосходят параметры p -транзисторов по следующим причинам:

1. В транзисторах с n -каналами носители заряда – электроны, подвижность которых в два раза выше подвижности дырок
2. Транзисторы с n -каналами выполняют по технологии с самосовмещением затворов, обеспечивающей уменьшение паразитных ёмкостей в 2-3 раза; в результате быстродействие схем n -транзисторами в среднем в 5-10 раз выше.
3. В n -МОП используется соглашения положительной логики, в p -МОП – отрицательной.
4. $U_{\text{пит.}}$ в n -МОП +5 В, в p -МОП –27 В.

На рис. 2.17 у V_{Tn} затвор соединён с истоком, и транзистор всегда включен и проводит ток, причём в большей части диапазон изменения напряжения работает в области пологой части выходной характеристики. При высоком уровне входного сигнала в открытом (проводящем) режиме находятся оба транзистора и уровень напряжения выходного определяется соотношением сопротивлений канала нагрузочного и активного.

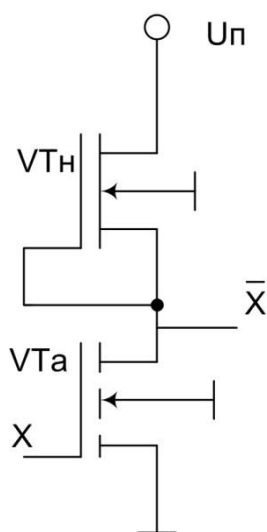


Рис. 2.17. Инвертор n -МОП

Специфика параметров транзисторов такова, что требования к отношению площадей каналов здесь намного ниже, чем для элементов p -МОП, и достаточно иметь отношение сопротивлений около 4. Характеристики n -МОП транзисторов позволяют использовать питание +5В.

Базовым элементом является схема ИЛИ-НЕ (рис. 2.18).

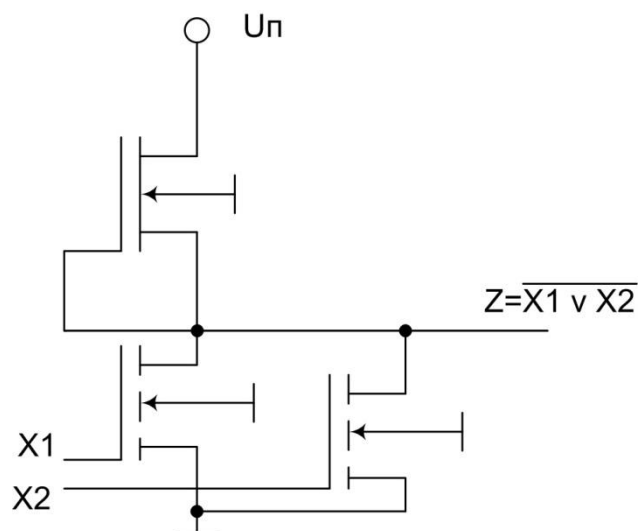


Рис. 2.18. ИЛИ-НЕ n -МОП

Работа базового элемента аналогична работе инвертора за исключением того, что теперь при открытии одного из транзисторов образуется логический ноль на выходе.

2.2.2. Цифровые ИС на КМОП-структурах

«Комплементарные» – означает, что в схемах используются транзисторы разных типов проводимости (рис. 2.19).

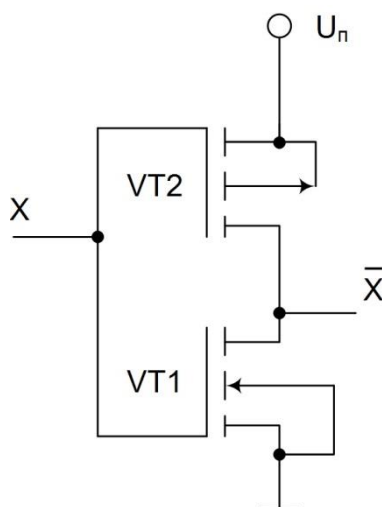


Рис. 2.19. Схема инвертора

Положительная логика: «1» $\approx U_n$, «0» ≈ 0 В.

Если $X = \langle 1 \rangle$, то $VT1$ открыт, а $VT2$ закрыт, т.к. $U_{зи}$ близко к нулю. Выходное напряжение отличается от нуля только падением напряжения на проводящем канале от остаточного тока закрытого транзистора $VT2$. Сопротивление в таком состоянии 10МОм, открытом ≈ 10 Ом.

При $X = \langle 0 \rangle$ $VT1$ закрыт, $VT2$ открыт, т.к. $U_{зи} VT2 \approx U_n$ и $U_{вых} \approx U_n$.

В статике элемент почти не потребляет тока. Потребление большое при переключении.

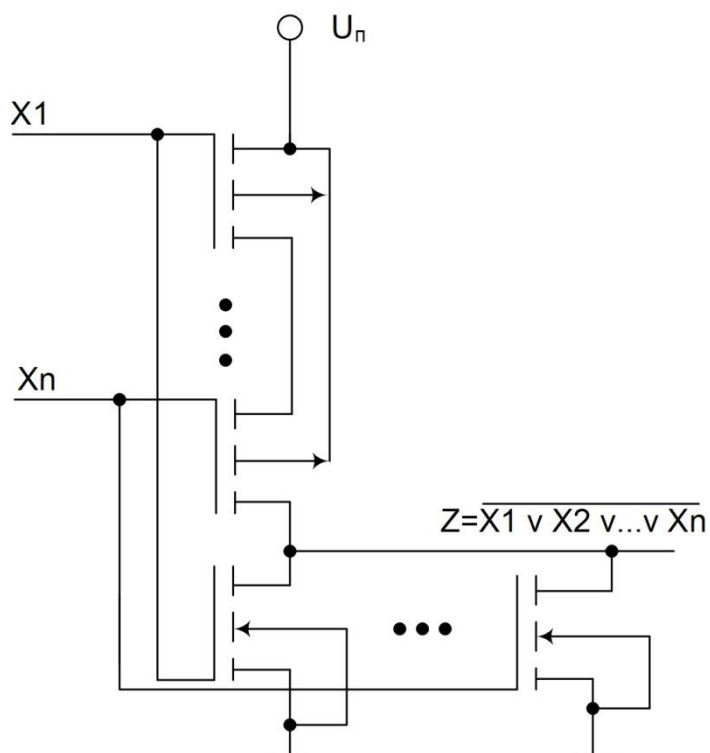


Рис. 2.20. Схема ИЛИ-НЕ

Если среди входных переменных имеется хотя бы одна «1», то в верхней группе последовательно соединённых транзисторов этот транзистор будет заперт, а в нижней группе – открыт. Выходное напряжение $U_{вых} \approx 0$ В.

Если среди входных переменных нет «1», то все верхние открыты, а все нижние транзисторы закрыты $\Rightarrow U_{вых} \approx U_n$.

Затвор МОП транзистора и подложка, разделённые тонким слоем диэлектрика, образуют конденсатор. Его ёмкость мала (≈ 3 -5 пФ), а сопротивление утечки $\approx 10^{12}$ Ом, что создаёт условие для накопления статических зарядов. Слой диэлектрика под затвором (толщина 70-100 нм), поэтому диэлектрическая прочность не превышает 180 В. На теле человека за счёт электроизоляции могут возникать заряды с потенциалами несколько киловольт. Такой заряд способен вызвать необратимый пробой в этом

слое. Поэтому, для защиты интегральных схем от повреждения статическим электричеством, каждый вход К-МОП ИС снабжают защитной цепочкой. Эти цепи являются неотъемлемой частью ИС, изготавливаются в едином технологическом процессе, и не отображаются в справочниках.

Для предотвращения нежелательных явлений, напряжение питания всегда следует подавать раньше любых входных сигналов. Выключение в обратном порядке. В противном случае возможно КЗ источника питания. Из-за паразитных биполярных транзисторов, которые образуются при изготовлении элемента. Неиспользуемые входы К-МОП должны подключаться либо к $U_{пит}$, либо к земле. Свободные входы запрещены.

При монтаже, для исключения случайного пробоя статическим электричеством нужно уравнивать потенциалы монтируемой платы, паяльника и тела монтажника. Передавать ИС из рук в руки нельзя. Пайку выводов ИС ведут в определённой последовательности: «+»; общий; контакты.

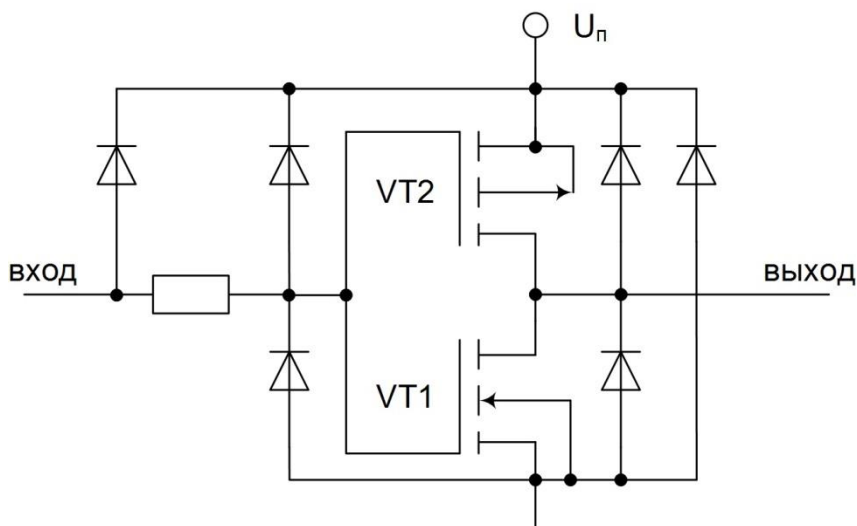


Рис. 2.21. Полная схема инвертора

2.2.3. Достоинства и недостатки ИС КМОП

Достоинства:

- потребляет очень маленький ток в статическом режиме;
- может быть выполнен на транзисторах с низкоомными каналами, что повысит быстродействие;
- может быть построен на транзисторах с минимальными размерами, поскольку к сопротивлениям проводящих каналов не предъявляется никаких требований;
- имеют высокую помехоустойчивость (45% от $U_{п}$ – помехи не влияют на работу схемы);

- сохраняют работоспособность при изменении $U_{п}$ до 5 раз (от 3 до 15 В);
- на их основе возможно построение памяти с разными режимами работы: режим ожидания с напряжением питания 3 В и активный режим с напряжением питания от 3 до 15 В.

Недостатки:

- сложная технология изготовления, отсюда высокая цена.

2.3. Согласование ИС ТТЛ-уровней с ИС КМОП, ИС КМОП с ИС ТТЛ-уровней

С целью оптимизации схемных решений и снижения стоимости аппаратуры, используют ИС разных серий совместно.

Для согласования КМОП-схем со входами любой ТТЛ серии используются ИС 564 ЛН2 и 564ПУ4. В корпусе каждой такой ИС находится по 6 одинаковых одноходовых элементов, обладающих повышенной нагрузочной способностью по току. ИС ЛН2 с инверсными выходами, ПУ4 – нет. Подключение К-МОП к ТТЛ при одинаковом $U_{пит}=5$ В осуществляется непосредственным подключением выходов ТТЛ к входам КМОП. При этом выход ТТЛ не должен нагружаться другими входами.

Для согласования выхода ТТЛ со входами КМОП при повышенном питании КМОП более 5 В, используются специальные ИС 564ПУ7,8 по 6 преобразователей уровней в каждом.

2.4. Кроссбар-архитектуры

Примерно пятьдесят лет назад на одном кристалле кремния размещался всего один транзистор, сегодня – почти миллиард. Поскольку в ближайшие 15 лет количество транзисторов в ИС будет и дальше увеличиваться, их элементы уменьшатся почти до размеров молекул. Достижение принципиального предела возможностей кремниевых транзисторов ведет к уменьшению размеров их элементов до 10 нанометров, что немыслимо без внедрения серьезных технологических новшеств. Необходимы совершенно новые решения, позволяющие уменьшить размеры вычислительных устройств. Однако поразительные результаты кремниевых ИС поднимают планку требуемых характеристик столь высоко, что на разработку достойной смены уйдет длительное время.

Ученые всего мира рассматривают несколько перспективных путей развития элементной базы устройств обработки информации.

Например, для обработки информации предлагается использовать квантовые вычислители. Однако пройдут годы, прежде чем квантовые вычисления перейдут из теории в практику.

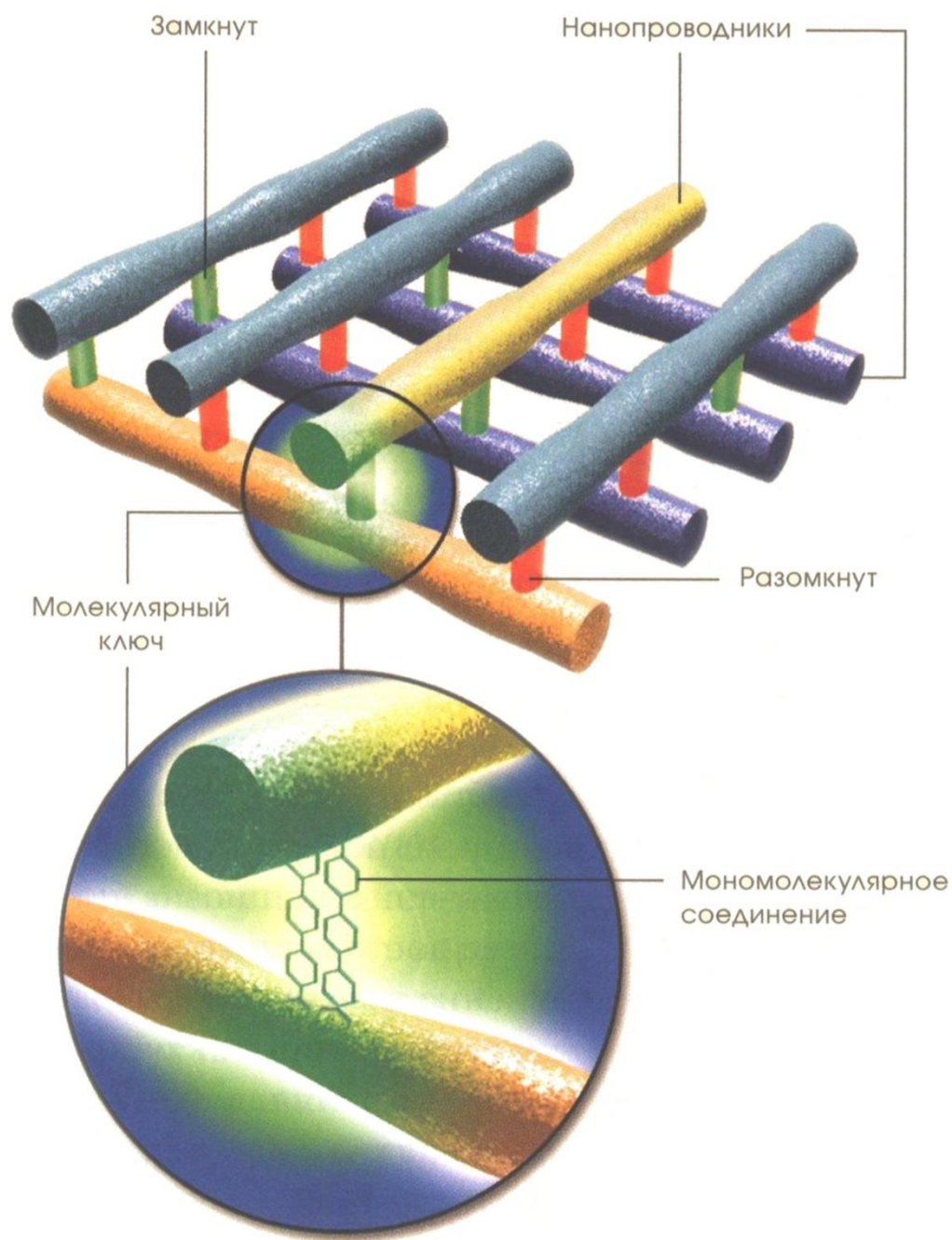


Рис. 2.22. Кроссбар проводники

Поэтому многие научно-исследовательские группы занимаются поиском среднесрочной альтернативы, промышленное внедрение которой займет не более 10 лет. У экономически жизнеспособной технологии должно быть много общего с современной микроэлектроникой, чтобы можно было использовать уже имеющиеся производственные мощности и программные платформы.

Компания Hewlett – Packard совместно с химическим факультетом Калифорнийского университета в Лос - Анджелесе проводит исследования по так называемой **кроссбар-архитектуре**, которую они считают наиболее перспективной. Кроссбар состоит из двух взаимно перпендикулярных наборов параллельных проводников толщиной не более ста атомов, разделенных мономолекулярным слоем, сопротивлением которого можно управлять с помощью электрических сигналов (рис. 2.22).

В местах пересечения нанопроводников формируются ключи. Вначале они разомкнуты (состояние с большим сопротивлением). Размыкание ключа происходит в результате электрохимического сужения туннеля, по которому электроны могут перейти с одного проводника на другой. Когда к паре нанопроводников (на рис. 2.22 –желтый и оранжевый) прикладывают достаточно большое напряжение определенной полярности, соединяющий их ключ замыкается, т.е. переходит в состояние с малым сопротивлением. Он останется в этом состоянии до тех пор, пока на него не будет подано достаточное напряжение противоположной полярности, снова переводящее его в состояние с большим сопротивлением. Ключи сохраняют заданные состояния уже 3 года! Таким образом, в данной схеме используют электрохимический ключ из молекул ротаксанов.

Сегодня над созданием надежных наноскопических ключей из атомов и молекул работают десятки исследовательских групп в разных странах мира. Некоторые из них приведены в табл. 2.4.

Таблица 2.4

Руководитель или название группы	Организация	Тип ключа
Программа квантовых исследований: Quantum Science Research (QSR) Директор программы Стенли Уильямс (R.Stanley Williams)	Лаборатория компании Hewlett – Packard	Окисление–восстановление металлических нанопроводников
Дж. Хит/Дж. Стоддарт (James R.Heath/J. Fraser Stoddart)	Калифорнийский технологический институт (CIT)/Калифорнийский университет в Лос-Анджелесе (UCLA)	Мономолекулярный слой ротаксанов между кремниевыми и титановыми нанопроводниками
Андре Деон/Либер (Andre DeHon/)	CIT/Гарвардский университет	Полевые транзисторы на кремниевых нанопроводниках
Константин Лихарев (Konstantin K. Likhrev)	Университет в Стоуни-Брук	Одноэлектронный молекулярный транзистор

Руководитель или название группы	Организация	Тип ключа
Масакадзу Аоно (Masakazu Aono)	Японский национальный институт материаловедения	Ионный проводник из Ag_2S (атомный ключ из серебра)
Райнер Вазер (Rainer Waser)	Юлихский научный центр (Германия)	Движение дефектов в тонких сегнетоэлектрических пленках

Современные технологии производства наносхем можно разделить на две категории по методу изготовления: снизу вверх и сверху вниз. Первые основаны на использовании химических или биохимических процессов, в результате которых атомы или молекулы сами выстраиваются в нужные конфигурации за счет своих внутренних свойств.

На рис. 2.23 приведено изображение силицид-эрбиевого нанопроводника шириной 3 нм (10 атомов), выращенного на кремниевой подложке химическим методом (снизу вверх), полученное с помощью сканирующего туннельного микроскопа. Выпуклости на поверхности проводника – это отдельные атомы, а ”шишка” на краю – дефект, где его ширина уменьшается с десяти до девяти атомов.

Вторая категория технологий схожа с обычными методами формирования ИС, в которых используется фотолитография с последующим травлением или нанесением материалов для получения требуемой структуры. Эту технологию используют, например, ученые из Hewlett – Packard. Сначала с помощью электронно-лучевой литографии формируют шаблон наносхемы. На подложку наносится полимер, и к полученному тонкому мягкому слою прижимается шаблон. Затем отпечаток отверждается под воздействием тепла или ультрафиолетового излучения. Такой метод позволяет получать произвольную геометрию межсоединений, тиражировать конечный продукт, используя изготовленный один шаблон. Однако этот метод имеет пока малое разрешение (не позволяет создавать системы параллельных нанопроводников с полушагом меньше 30 нм), процесс получения шаблона длительный и дорогостоящий.

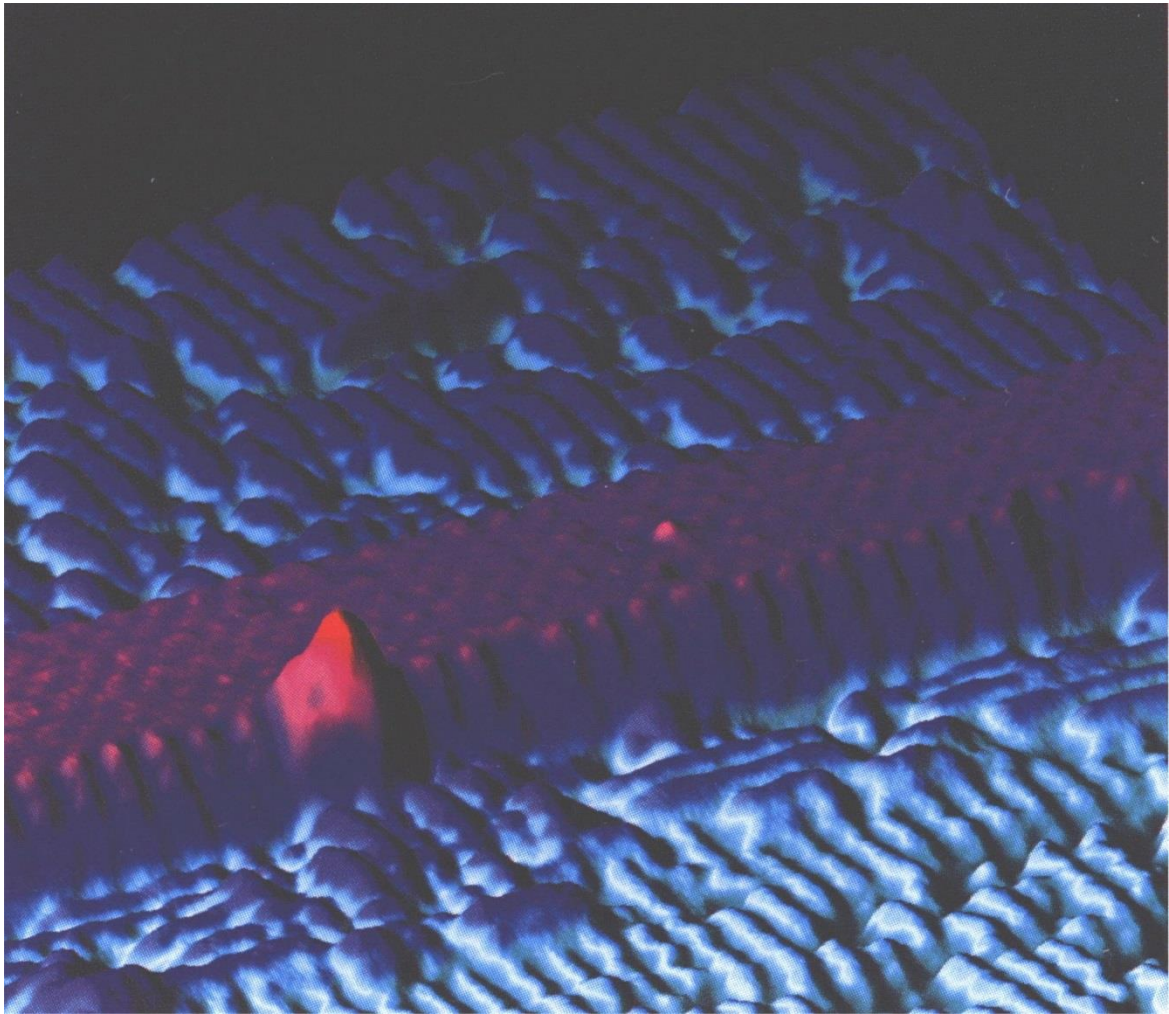


Рис. 2.23. Нанопроводник

Проводники в кроссбарах настолько малы, что при их изготовлении неизбежно возникает множество дефектов атомного размера. Даже неровности размером с атом приводят к значительному разбросу параметров нанозадаментов, следовательно, образуются дефекты (рис. 2.23, рис. 2.24).

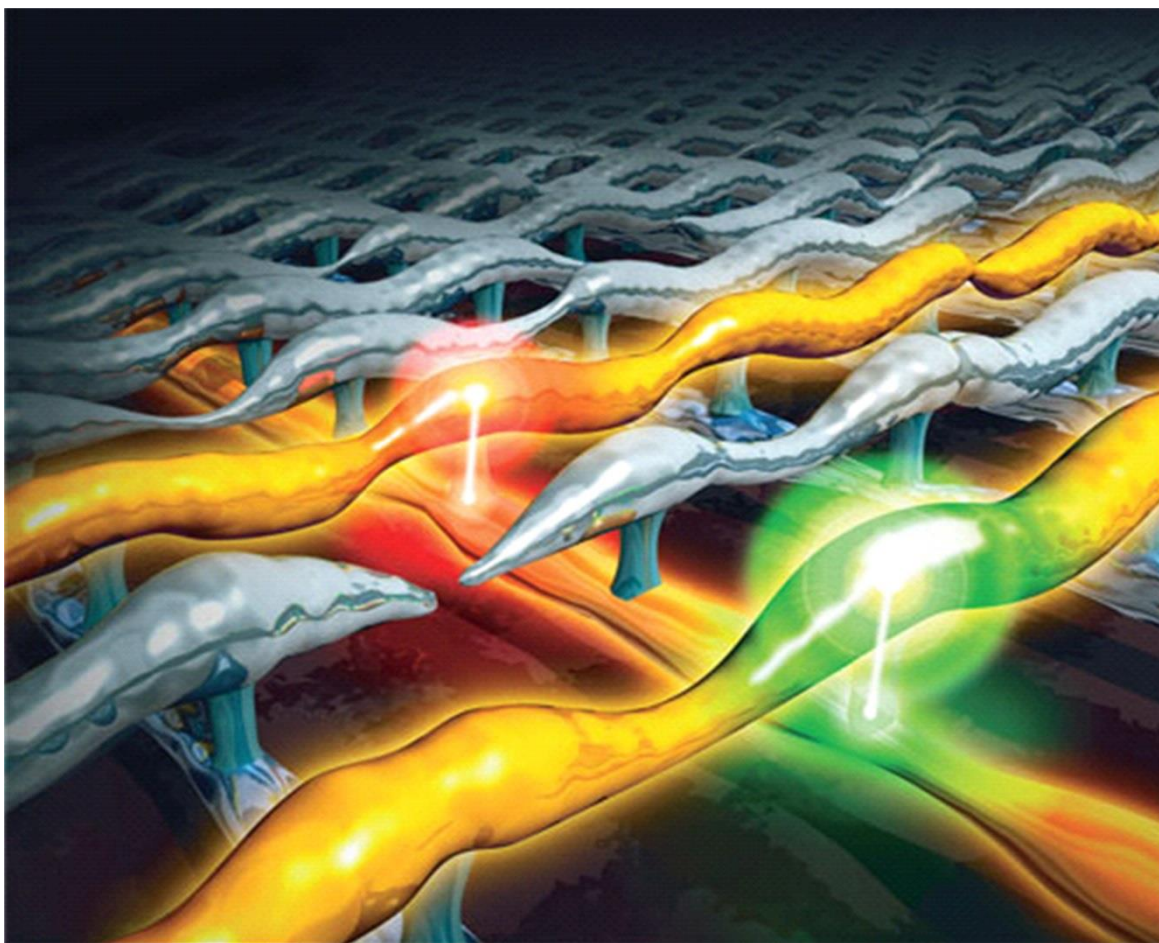


Рис. 2.24. Нанопроводники

Поэтому развитие наноэлектронных технологий тесно связано с обеспечением дефектоустойчивости изготавливаемых устройств.

2.5. Схемы для гальванической развязки узлов радиоэлектронной аппаратуры

2.5.1. Назначение схем

Одна из наиболее серьезных проблем, возникающих при передаче данных между электронными устройствами (или между различными узлами одного устройства) – несовпадение нулевых потенциалов этих устройств (так называемых земель). Если непосредственно соединить земляные цепи разных устройств при помощи провода или экрана кабеля, то возникают паразитные контуры, по которым начинают протекать земляные токи. Они вызывают искажения сигналов, помехи, а при большой разности земляных потенциалов могут приводить к повреждениям устройств. Кроме того, в некоторых применениях, например, в промыш-

ленных интерфейсах, медицинской аппаратуре, гальваническая связь может приводить к опасности поражения электрическим током человека и разрушениям аппаратуры. Поэтому для передачи сигналов между устройствами с различными земляными потенциалами линии связи должны иметь гальваническую развязку. Для гальванической развязки узлов радиоэлектронной аппаратуры традиционно использовались и используются оптические изоляторы. С совершенствованием технологий появилась возможность упаковывать в обычные корпуса интегральных схем индуктивные элементы (трансформаторы) и предавать данные через магнитное поле внутри корпуса. В настоящее время более широко используются оптоэлектронные приборы.

2.5.2. Общие сведения об оптоэлектронных приборах, используемых в вычислительной технике

Оптоэлектроника – это раздел науки и техники, изучающий как оптические, так и электрические явления в веществах, их взаимные связи и преобразования, а также приборы, схемы и системы, созданные на основе этих явлений.

Оптоэлектронный прибор – прибор, использующий для своей работы электромагнитное излучение оптического диапазона. К оптоэлектронным приборам относятся: 1. Оптоизлучатели. 2. Лазеры и светоизлучательные диоды (СИД). 3. Фотоэлектрические приемники излучения. 4. Приборы, управляющие излучением. 5. Приборы для электроизоляции (оптроны). Когда-то использовались импульсные трансформаторы. 6. Приборы для отображения информации (ЭЛТ, ЖК, плазма, OLED). 7. Оптические линии связи. 8. Оптические ЗУ.

Основу любой оптоэлектронной системы составляют оптоизлучатели, которые подразделяются на источники когерентного излучения – лазеры и некогерентные – СИД. Устройства *когерентной оптоэлектроники* и *некогерентной* резко отличаются друг от друга: принципом генерации, распространения и регистрации сигналов.

Схема некогерентной оптоэлектроники обладает принципиальными достоинствами, обусловленными переходом от электрической связи к оптической:

1. Почти идеальная электрическая изоляция элементов схем.
2. Односторонняя передача сигнала от излучателя к фотоприемнику.
3. Обратной передачи с выхода на вход практически не наблюдается (т.е. нет паразитной обратной связи).

2.5.3. Обобщенная структурная схема оптрона

Обобщённая структурная схема некогерентного оптического прибора – оптрона приведена на рис.

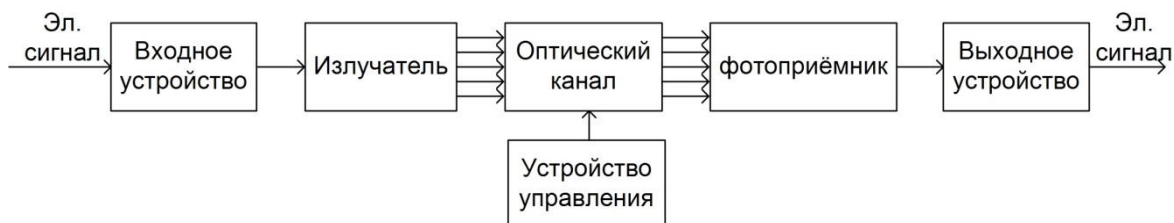


Рис. 2.25. Обобщенная схема оптрона

Входное устройство служит для преобразования входных сигналов в такие, которые обеспечивают эффективную работу излучателя.

Излучатель должен обладать: высоким КПД электронно-оптического преобразования; излучаемым спектром, совпадающим со спектральной чувствительностью приёмника; высоким быстродействием.

Оптический канал должен максимально полно передавать энергию оптического сигнала от излучателя к приёмнику. Для этого необходимо обеспечить минимальное рассеивание в стороны и макс. защиту от внешнего излучения.

В оптронах используются следующие виды оптических каналов.

1. Открытый оптический канал. 1А – связь через воздух. 1Б – связь через воздух с использованием оптической фокусировки с помощью линз.

2. Связь с использованием иммерсионной (кремне-органической) среды, что обеспечивает хорошие параметры оптического канала.

Принципиальная возможность управления свойствами оптического канала отражена введением в схему оптрона *устройства управления*.

При этом изменение выходного сигнала можно осуществить как по электрическому входу оптрона, так и по оптическому. Возможны и другие конструктивные особенности оптического канала.

В *фотоприёмнике* происходит преобразование сигнала оптического в электрический с минимальными потерями его информативности, что определяет параметры фотоприёмника.

Выходное устройство обеспечивает преобразование сигнала фотоприёмника в стандартную форму, удобную для передачи, последующего за оптроном каскада.

По степени сложности структурной схемы оптрона и типу оптического канала различают следующие классы оптронов:

- оптопары – это оптроны, состоящие из излучателя и фотоприёмника, между которыми имеется оптическая связь и обеспечена электрическая изоляция;
- оптоэлектронные ИС, в которых к оптопарам добавляется выходное устройство, иногда – входное;
- специальные оптроны.

2.5.4. Оптопары

По типу использованного фотоприемника наиболее распространены типы оптопар, приведённые на рис. 2.26.

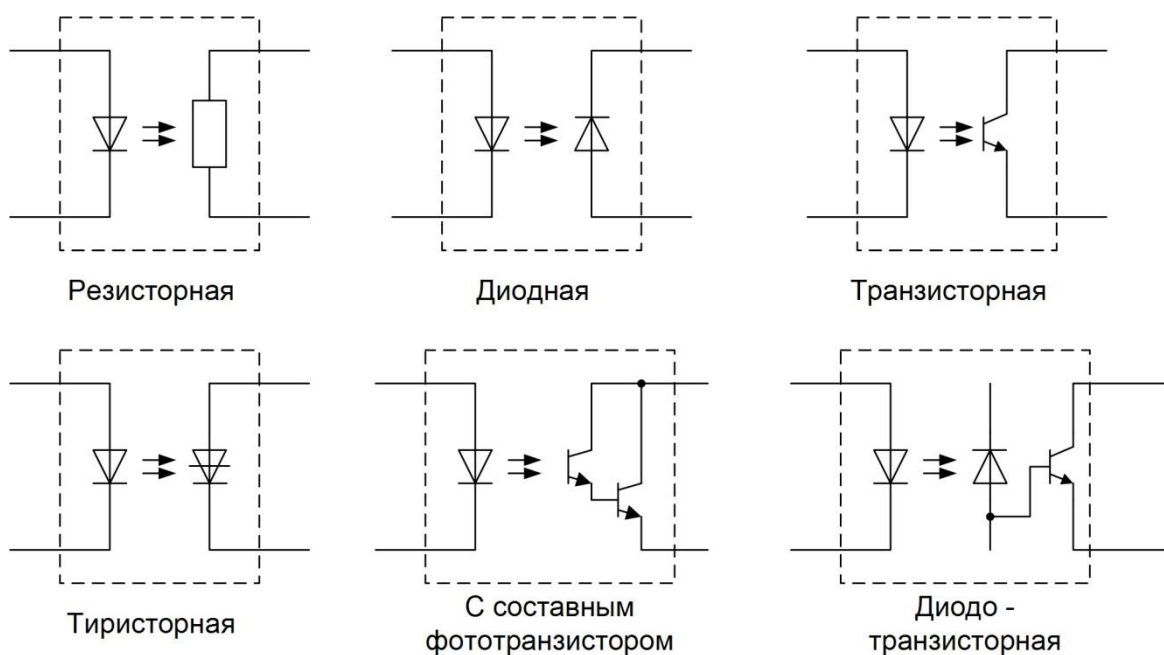


Рис. 2.26. Виды оптопар

Оптопары описываются следующими параметрами:

1. Номинальный входной ток – $I_{\text{вх.ном.}}$ – это значение тока, рекомендуемое для оптимальной эксплуатации оптопары и используемое при измерении ее основных параметров.
2. Падение напряжения на светоизлучающем диоде – в прямом направлении при заданном значении прямого тока.
3. Входная ёмкость – ёмкость между входными выводами оптопары в заданном режиме.

Могут быть также: максимальный ток и обратное входное напряжение.

Быстродействие оптопар характеризуется временем нарастания входного тока от уровня 0,1 входного до 0,9 выходного.

2.5.5. Оптоэлектронные ИС

Данные ИС изготавливают, в основном, по гибридной полупроводниковой технологии.

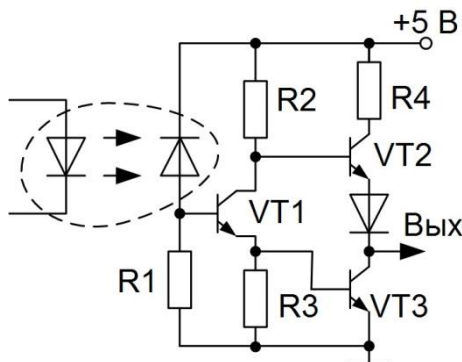


Рис. 2.27. Оптоэлектронная ИС

Схема на рис. 2.27 может находиться в 2-х состояниях. Если через СИД (светоизлучающий диод) протекает номинальный прямой ток, СИД излучает и вызывает фототок в фотодиоде оптрона (обведено пунктирной линией на рис. 2.27). Ток фотодиода одновременно является отпирающим базовым током транзистора VT1, который открывается.

При открытом VT1 закрывается VT2 и открывается VT3. На выходе напряжение близкое к нулю.

Когда входной ток равен нулю, через фотодиод оптрона протекает лишь темновой ток и транзистор VT1 заперт, открывается VT2, закрывается VT3 и на выходе напряжение источника питания (5 В минус падение напряжения в цепи R4 – VT2 – диод).

2.5.6. Изолирующие ИС на основе технологии iCoupler фирмы Analog Devices

Фирма Analog Devices разработала и запатентовала технологию производства трансформаторных изоляторов под названием iCoupler®. Главным их достоинством по сравнению с оптическими изоляторами является более высокая скорость передачи. Кроме того, у них при одинаковых скоростях передачи заметно меньше потребляемая мощность. А при создании многоканальных, особенно двунаправленных, гальванически развязанных линий передачи данных их применение вместо оптических изоляторов позволит в несколько раз сократить габариты, потребляемую мощность и стоимость узлов гальванической развязки.

Рассмотрим принцип действия iCoupler® и различные устройства на его основе, выпускаемые фирмой Analog Devices.

Основой изолирующей технологии iCoupler® служат трансформаторы на кристалле, которые формируются по КМОП (CMOS) технологии

в процессе изготовления полупроводниковой пластины. Каналы iCoupler® могут быть встроены как недорогие функциональные узлы в разнообразные полупроводниковые устройства.

Работа изолирующего канала iCoupler® показана на рис. 2.28.



Рис. 2.28. Принцип действия изолятора iCoupler®

Входные логические перепады кодируются импульсами длительностью 1 нс: каждый положительный перепад вызывает появление двух импульсов, а каждый отрицательный – одного. Эти импульсы поступают на первичную обмотку трансформатора, образованного металлическим проводником на верхней стороне полиамидного диэлектрического слоя. На нижней стороне изолирующего слоя расположена вторичная обмотка трансформатора. Импульсы со вторичной обмотки поступают на декодирующую схему, которая восстанавливает входной сигнал. Кроме того, специальная схема регенерации (refresh) проверяет соответствие выходного уровня входному даже в отсутствие логических перепадов на входе. Это требуется при включении питания, а также при малых скоростях передачи данных или при длительном отсутствии изменения уровня сигнала на входе устройства в условиях воздействия помех.

Наиболее многочисленная группа устройств, в которых используется технология iCoupler® – это цифровые изоляторы (digital isolators). Они предназначены для построения гальванически развязанных линий передачи цифровых сигналов. Как на входах, так и на выходах этих устройств не требуется дополнительных балластных или нагрузочных резисторов или каких-либо других деталей. На рис. 2.29 показана функциональная схема одноканального изолятора ADuM1100.

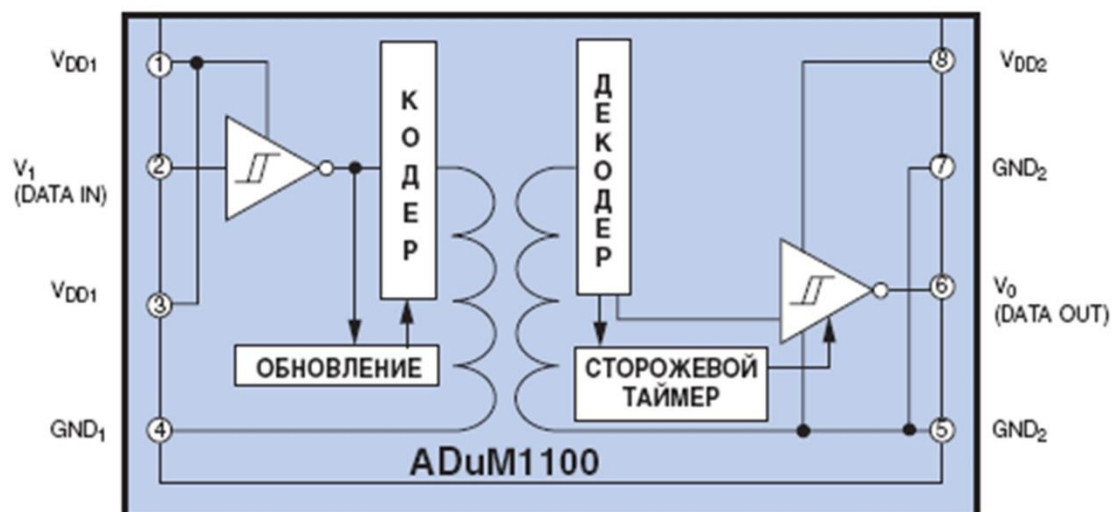


Рис. 2.29. Функциональная схема одноканального цифрового изолятора

При отсутствии на входе импульсов в течение более 2 мкс периодически формируются обновляющие импульсы, для того чтобы выходное состояние соответствовало входному. Если декодер не получает обновляющих импульсов дольше 5 мкс, то входная сторона считается обесточенной или неисправной. В этом случае сторожевой таймер (watchdog) устанавливает на выходе устройства высокий уровень.

Как входная, так и выходная части устройства могут работать при напряжении питания от 3 до 5,5 В. При этом значения питающих напряжений по обе стороны изолирующего канала не зависят друг от друга и могут быть как одинаковыми, так и разными. Таким образом, изоляторы iCoupler® в дополнение к гальванической развязке могут обеспечивать преобразование цифровых уровней. В табл. 2.5 приведены пороговые значения уровней входных сигналов при разных напряжениях питания.

Таблица 2.5

Входные логические пороги изолятора ADuM1100

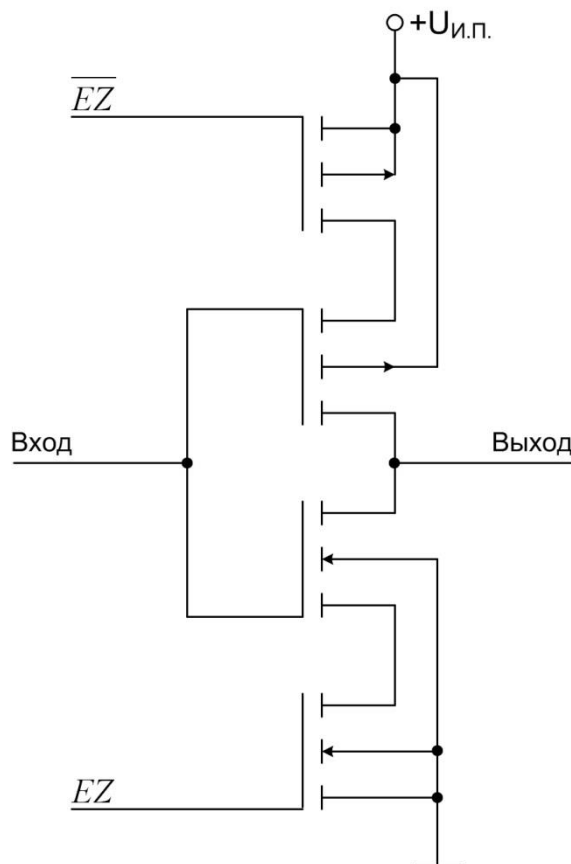
Наименование параметра	Значения при напряжении питания 3,3 В	Значения при напряжении питания 5,0 В
Уровень логического нуля	0,0-0,5	0,0-0,8
Уровень логической единицы	1,5-3,3	2,0-5,0

Заметим, что при питании 5 В значения входных логических порогов близки к стандартным уровням ТТЛ. Выходные напряжения при любом питании приближаются к уровням питающих напряжений (КМОП уровни).

В одном корпусе цифрового изолятора iCoupler® может быть от одного до четырёх каналов. Эти каналы могут быть как однонаправленными, так и разнонаправленными. Стоит отметить, что многоканальные изоляторы iCoupler®, особенно двухканальные, имеют меньшее быстродействие, чем одноканальный ADuM1100. Обратим внимание на то, что у трёх- и четырёхканальных изоляторов можно переводить выходы в высокоимпедансное состояние.

2.6. Контрольные вопросы

1. Какую функцию в положительной логике выполняет логический элемент, имеющий приведенную ниже схему.

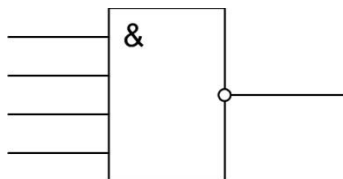


Заполните таблицу функционирования схемы:

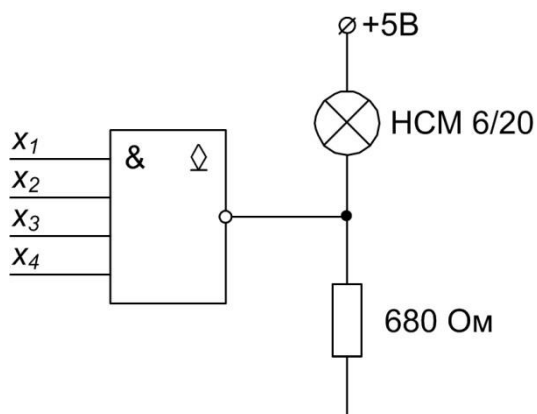
Вход	EZ	$\overline{EZ}$	Выход
0	0	1	
1	0	1	
0	1	0	
1	1	0	

2. Приведите схему увеличения числа подключаемых входов, рекомендуемую руководящими техническими материалами для ТТЛ(Ш) ИС.

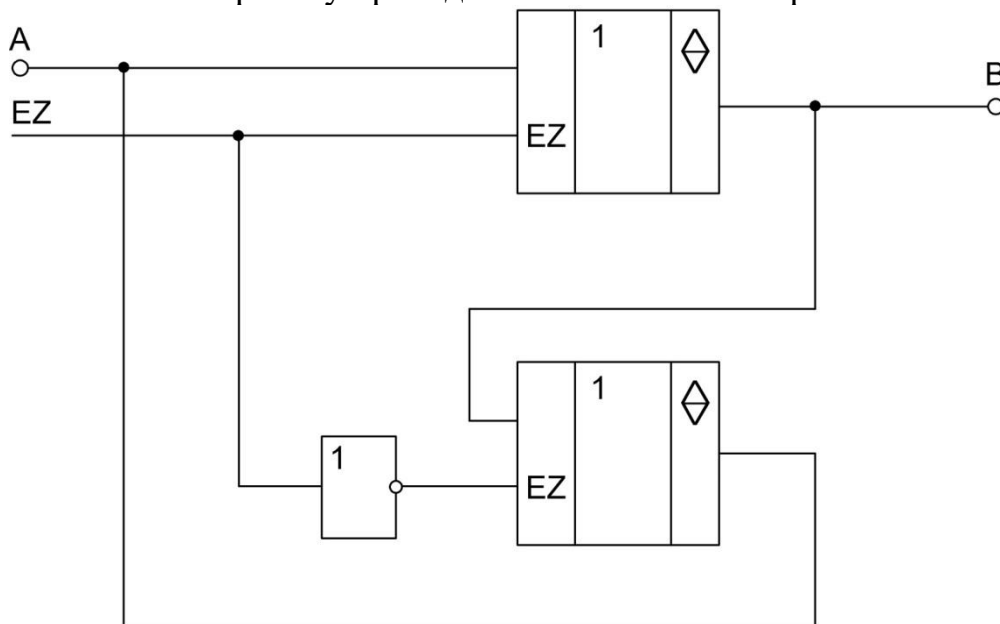
3. Имеются в наличии элементы И-НЕ 555 серии (УГО приведено ниже). Реализуйте на них функцию $f = x \vee y$ с соблюдением всех правил работы с ИС 555 серии.



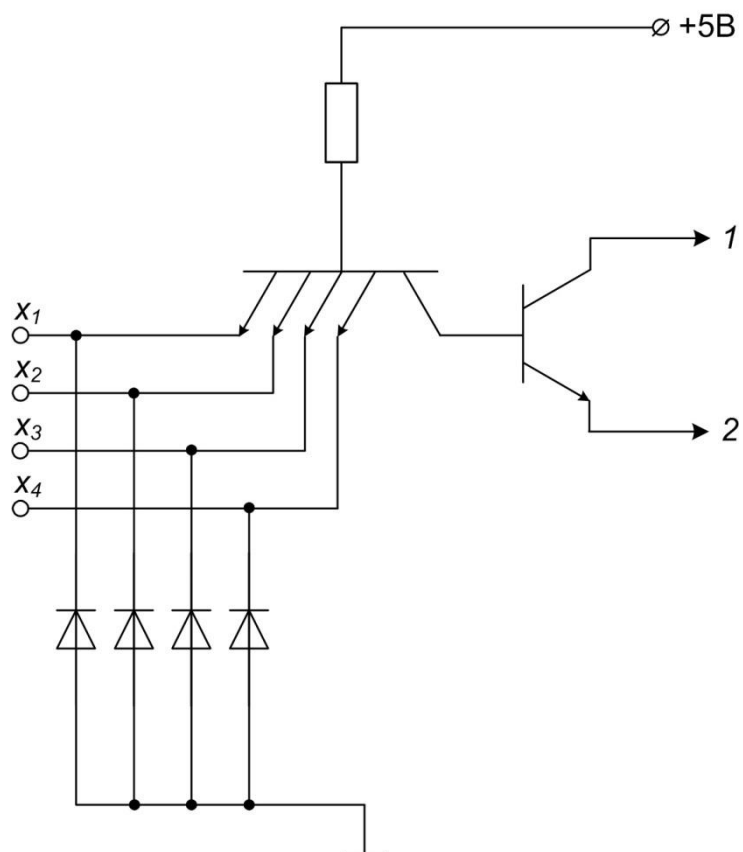
4. При каких значениях входных сигналов будет светиться лампочка в приведённой схеме.



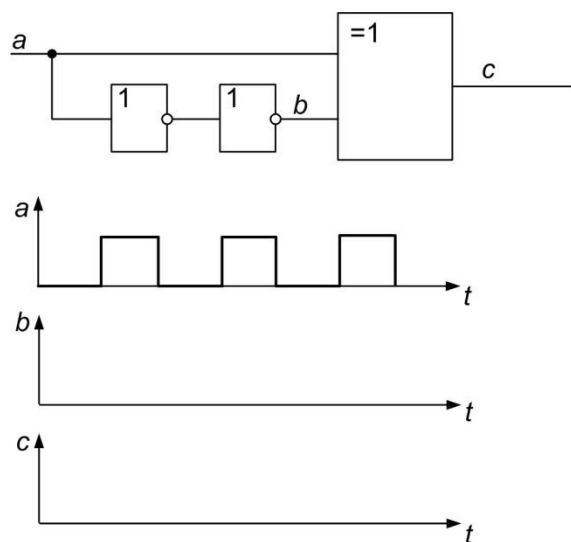
5. Опишите работу приведенной ниже схемы при $EZ=0$ и $EZ=1$.



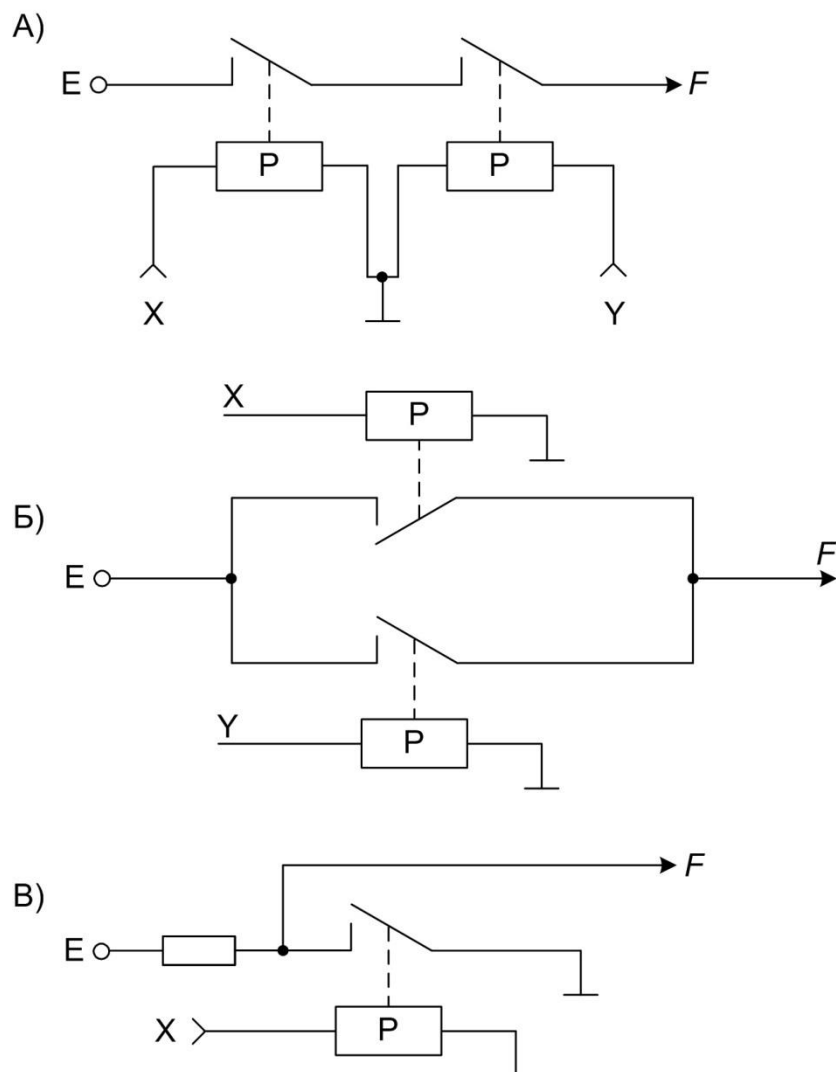
6. Определите функциональное назначение приведенной схемы. Можно ли выводы 1, 2 подключать к входам обычной логической ИС. Ответ пояснить.



7. На вход схемы поступает последовательность прямоугольных импульсов. Нарисуйте временные диаграммы работы схемы в точках b, c.

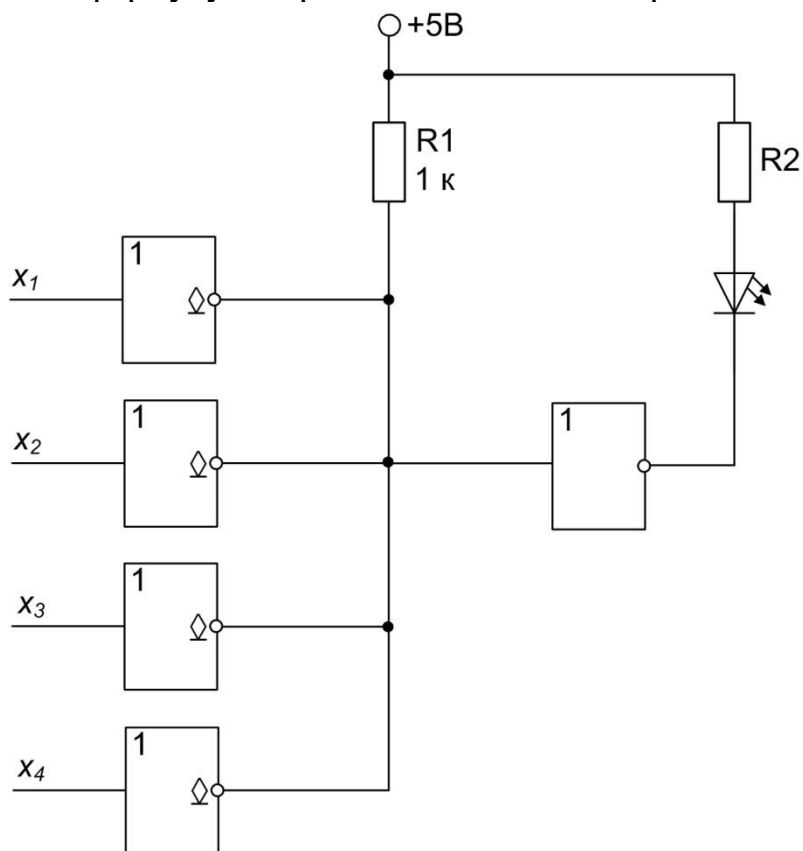


8. Какие логические функции выполняют приведённые ниже схемы. На схеме обозначено P – обмотка реле, при подаче на которую сигнала ($X=1$ или $Y=1$), контакт реле замыкается.

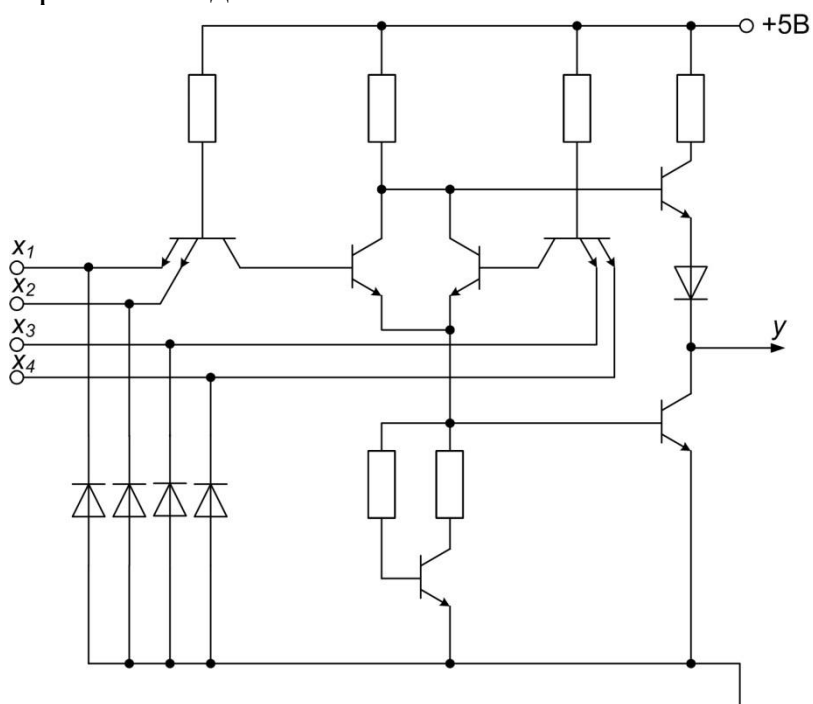


9. Приведите схему кроссбара с использованием молекулярного ключа из молекул ротаксанов.
10. Какие типы ключей используются в кроссбар архитектурах.
11. Какие технологии используются при производстве наносхем. Каковы, на Ваш взгляд, их достоинства и недостатки.
12. Можно ли устранить дефекты кроссбар-структур за счет более тщательного соблюдения технологического процесса изготовления.
13. Какие вопросы необходимо решить для внедрения в практику кроссбар-архитектур.
14. Приведите схему логического элемента «И» на диодах для положительной логики и $+E_{П}$. Приведите временные диаграммы на входах и выходе.
15. Приведите схему логического элемента «ИЛИ» на диодах для положительной логики и $+E_{П}$. Приведите временные диаграммы на входах и выходе.

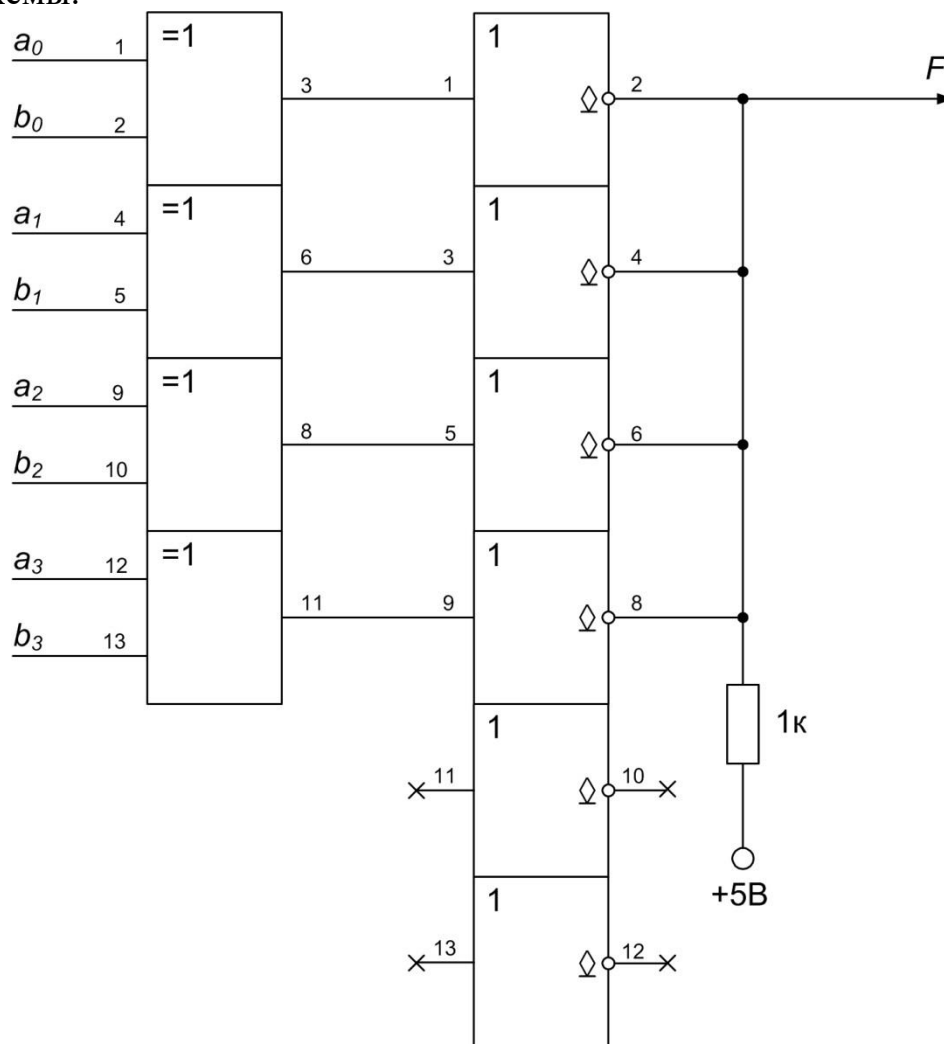
16. При каком наборе входных сигналов будет светиться светодиод. Запишите формулу для расчёта величины сопротивления R2.



17. Запишите выражение, реализуемое данной схемой в положительной логике. К какой серии относится данная схема? Приведите схемы расширителя входных сигналов.



18. Определите функциональное назначение данной принципиальной схемы.



19. Чем ограничивается число входов у элементов «И», «ИЛИ» на диодах?

20. Какой сигнал будет на выходе двухвходового элемента «И» на диодах, если:

- один из входов «висит» в воздухе, а на другой подан сигнал от источника сигнала;
- оба входа «висят» в воздухе;
- на один из входов подан сигнал от источника сигнала, второй вход подключен к «земле».

21. Какой сигнал будет на выходе двухвходового элемента «ИЛИ» на диодах, если:

- один из входов «висит» в воздухе, а на другой подан сигнал от источника сигнала;
- оба входа «висят» в воздухе;

- на один из входов подан сигнал от источника сигнала, второй вход подключен к «земле».
- 22. Как на логическом элементе «И» реализовать функцию «ИЛИ»?
- 23. Нарисуйте схему базового элемента серии ИС ТТЛ.
- 24. Назначение каскадов базового ТТЛ-элемента.
- 25. Работа базового ТТЛ-элемента.
- 26. Нарисуйте идеализированные временные диаграммы на входах, выходе, эмиттере и коллекторе транзистора фазорасщепительного каскада базового элемента ТТЛ серий.
- 27. Что дает применение транзистора Шотки при построении элемента ТТЛШ?
- 28. Нарисуйте схему базового ТТЛШ-элемента серий К533, К555.
- 29. Нарисуйте схему базового ТТЛШ-элемента серий К530, К531.
- 30. Нарисуйте схему базового ТТЛШ-элемента серий К1533, К1531.
- 31. В каком состоянии выхода логического элемента ТТЛ, ТТЛШ ИС имеет минимальную нагрузочную способность. Объясните почему.
- 32. В каком состоянии выхода логический элемент И-НЕ ТТЛ, ТТЛШ ИС потребляет минимальную мощность по цепи питания? Дайте пояснение.
- 33. Как поступать при проектировании с остающейся неиспользуемой частью логической ИС.
- 34. Как поступать при проектировании с неиспользуемыми входами используемых логических элементов ИС.
- 35. Как можно повысить выходное напряжение ТТЛ, ТТЛШ-элементов.
- 36. Почему возникают в интегральных микросхемах ТТЛ, ТТЛШ броски тока в цепи питания?
- 37. Каким образом борются с бросками тока в цепи питания.
- 38. Нарисуйте принципиальную схему элемента И-ИЛИ-НЕ.
- 39. Нарисуйте принципиальную схему расширителя по ИЛИ.
- 40. Нарисуйте принципиальную схему элемента с открытым коллектором.
- 41. Получение монтажного «И» на элементах с открытым коллектором.
- 42. Варианты подключения светодиодов к логическим элементам.

3. ТРИГГЕРНЫЕ УСТРОЙСТВА

3.1. Классификация триггеров

Триггер – это устройство с двумя устойчивыми состояниями, содержащее фиксатор состояния и схему управления. На схему управления (входы) поступают сигналы (информационные, тактирующие, управляющие). Состояние триггера определяется элементом памяти. Обычно триггер имеет прямой и инверсный выходы (Q и $\bar{Q}$ соответственно).

Классифицировать триггеры можно по признаку логического функционирования и способу записи информации.

По логическому функционированию различают триггеры следующих типов: RS , D , T , DV , TV , JK , комбинированные и со сложной логикой.

По способу записи информации триггеры можно разделить на асинхронные и синхронные (тактируемые). Тактируемые триггеры в свою очередь делятся на триггеры управляемые фронтами и уровнем (рис. 3.1). Управляемые уровнем триггеры бывают двухступенчатые и одноступенчатые.

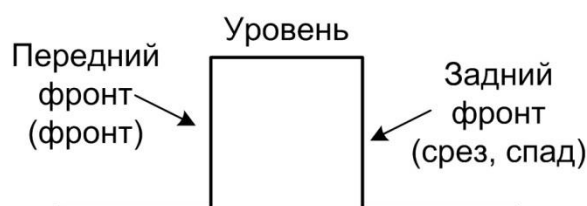


Рис. 3.1. Тактовый импульс

RS-триггер имеет два входа раздельной установки в нулевое и единичное состояние. Воздействие по входу S (Set) переводит триггер в единичное состояние. Воздействие по входу R (Reset) переводит триггер в нулевое состояние. Одновременная подача управляющих сигналов (воздействий) запрещена.

D-триггер принимает информацию по одному входу, его состояние через некоторое время повторяет выходной сигнал. Время задержки определяется тактовым сигналом. Название триггера происходит от английского слова Delay – задержка.

T-триггер называют триггер со счётным входом, который изменяет состояние на противоположное каждый раз, когда на входе триггера появляется тактовый импульс. Триггер назван первой буквой английского слова Toggle – переключать.

DV и TV триггеры отличаются от своих прототипов дополнительным входом V , который позволяет переводить триггер в режим хранения

при $V=0$, а при $V=1$ работать также, как и обычные D и T триггеры соответственно.

JK-триггер универсален. Также как и в RS -триггере имеет отдельную установку единичного (Jump) и нулевого (Kill) состояний. В отличие от RS -триггера одновременная подача управляющих сигналов разрешена – она переводит триггер в счётный режим.

В **комбинированных триггерах** совмещаются несколько режимов, такие триггеры встречаются наиболее часто. Например, триггеры T , D и JK с асинхронными RS входами сброса и установки единичного состояния.

Примером **триггера со сложной входной логикой** может служить JK триггер с групповым J и K входами ($J_1J_2J_3$ и $K_1K_2K_3$ – рис. 3.2), объединённых конъюнкцией.

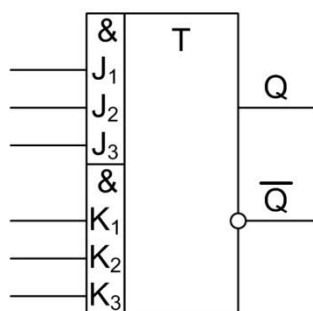


Рис. 3.2. JK -триггер с групповым входом

Асинхронные триггеры – триггеры осуществляющие переход в новое состояние по изменению информационных сигналов.

Синхронные (тактируемые) триггеры могут изменять своё состояние только при наличии тактового импульса на входе C (рис. 3.3).

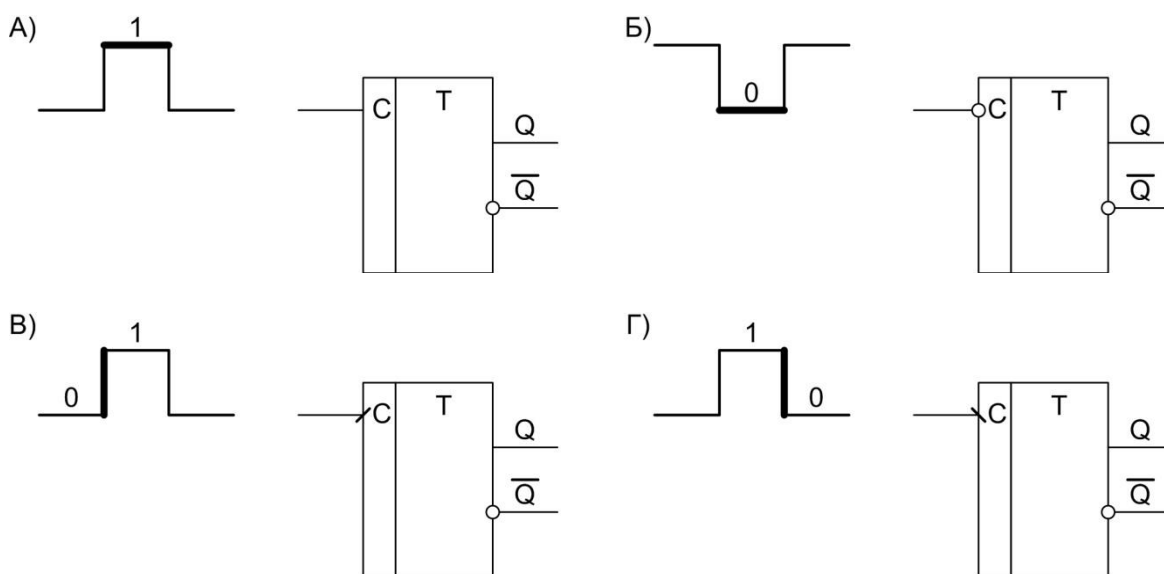


Рис. 3.3. *T*-триггер: *A*, *B* – тактируемый уровнем синхросигнала;
B, *Г* – тактируемый фронтом синхросигнала

В управляемых уровнем **одноступенчатых триггерах** при появлении синхросигнала происходит полное переключение состояния триггера.

В двухступенчатых триггерах имеется входной и выходной каскады, которые переключаются поочерёдно.

Таблица 3.1.

Сводная таблица функционирования триггеров

Вход						Выход		Переход
<i>R</i>	<i>S</i>	<i>D</i>	<i>T</i>	<i>J</i>	<i>K</i>	<i>Q(t)</i>	<i>Q(t+1)</i>	
X	0	0	0	0	X	0	0	0→0
0	X	1	0	X	0	1	1	1→1
0	1	1	1	1	X	0	1	0→1
1	0	0	1	X	1	1	0	1→0

В табл. 3.1 символом «X» обозначен любой уровень сигнала, который соответствует логическому 0 или 1.

Режимы триггеров:

RS – хранение, установка в 0, установка в 1, запрещённый;

D – хранение, установка в 1, установка в 0;

T – хранение, счётный режим 0→1, счётный режим 1→0;

JK – хранение, установка в 0, установка в 1, счётный режим 0→1, счётный режим 1→0.

3.2. Асинхронный RS-триггер

RS-триггером называют запоминающий элемент с раздельными информационными входами для установки его в состоянии «0» (*R*-вход) и в состояние «1» (*S*-вход). Название «RS-триггер» образовано от первых букв слов RESET (сброс) и SET (установка).

Асинхронный RS-триггер имеет симметричную структуру и состоит из двух ЛЭ ИЛИ-НЕ (рис. 3.4) или И-НЕ (рис. 3.5), охваченных перекрестной положительной обратной связью. Этот триггер обладает двумя устойчивыми состояниями, которые обеспечиваются за счет связи выхода каждого элемента с одним из входов другого. Свободные входы служат для управления и называются информационными или логическими.

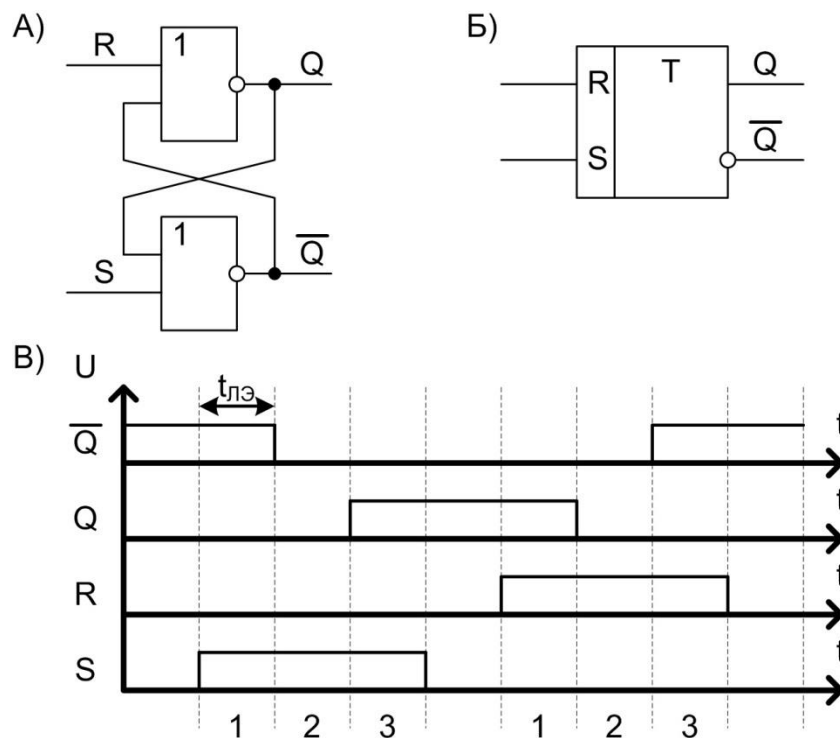
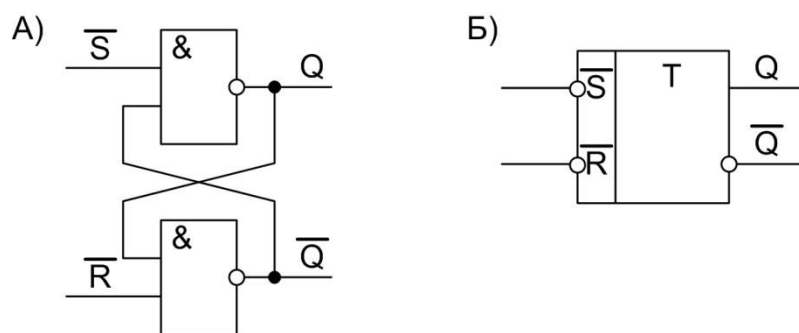


Рис. 3.4. RS-триггер: А – функциональная схема; Б – УГО; В – временные диаграммы работы; $t_{лэ}$ – время переключения ЛЭ ИЛИ-НЕ

Асинхронный RS-триггер в зависимости от наличия сигналов на входах R и S (табл. 3.2) полностью переключается из одного устойчивого состояния в другое за $3t_{лэ}$. RS-триггер на ЛЭ И-НЕ структурно не отличается от триггера на элементах ИЛИ-НЕ, но закон функционирования имеет иной (рис. 3.5, табл. 3.2), поскольку элементы И-НЕ переключаются сигналами, соответствующие уровню логического нуля.



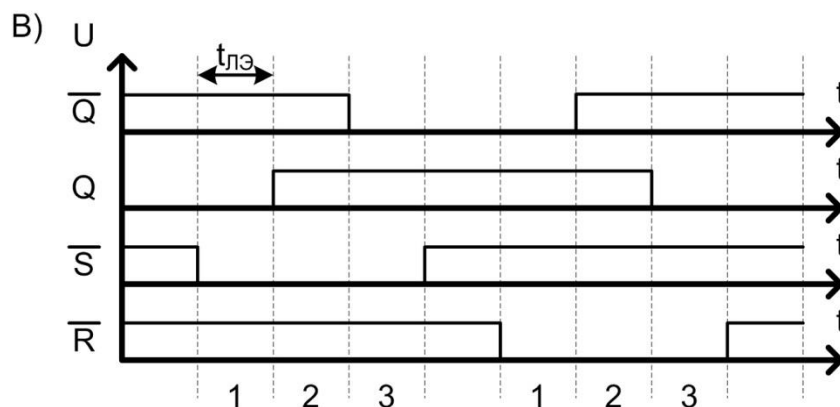


Рис. 3.5. RS-триггер: А – функциональная схема; Б – УГО; В – временные диаграммы работы; $t_{лэ}$ – время переключения ЛЭ И-НЕ

Таблица 3.2.

Таблица функционирования асинхронного RS-триггера

Вход				Выход		Переход
R	S	$\bar{S}$	$\bar{R}$	Q(t)	Q(t+1)	
X	0	1	X	0	0	0→0
0	X	X	1	1	1	1→1
0	1	0	1	0	1	0→1
1	0	1	0	1	0	1→0

Асинхронный RS-триггер имеет 3 режима работы и одну запрещённую комбинацию входных сигналов (табл. 3.3).

Таблица 3.3.

Режимы работы асинхронного RS-триггера

Вход				Выход		Режим
R	S	$\bar{S}$	$\bar{R}$	Q(t)	Q(t+1)	
0	0	1	1	0/1	0/1	хранение
1	0	1	0	X	0	установка в 0
0	1	0	1	X	1	установка в 1
1	1	0	0	0/1	0/1	запрещённый

Интервал времени, когда на обоих выходах устанавливаются одинаковые сигналы $Q=1$ и $\bar{Q}=1$ или $Q=0$ и $\bar{Q}=0$ – явление «риск». Такую комбинацию называют *неопределенной*. Если после этого триггер перевести в режим хранения, то состояние выходов триггера с равной вероятностью может стать как единичным, так и нулевым. Поэтому одновременная подача обоих управляющих сигналов называется запрещённым режимом. Эти слова следует понимать не буквально, а как указание на то, что такое

сочетание входных сигналов ведет к непредсказуемому поведению триггера, и при разработке аппаратуры надо принимать меры для его исключения.

Длительность переключения триггера (t_{RS}) определяется суммой задержек: $t_{RS} = t_{ЛЭ} + t_{ЛЭ}$. Длительность входного сигнала (t_{BX}) определяется из условия $t_{BX} \geq t_{ЛЭ}$. На практике для надежности переключения триггера длительность входного импульса увеличивают на одну задержку $t_{ЛЭ}$, т.е. $t_{RS} = 3t_{ЛЭ}$. Максимальная и рабочая частота переключения триггера соответственно равны $f_{\max} = \frac{1}{2t_{ЛЭ}}$ и $f_p = \frac{1}{3t_{ЛЭ}}$.

3.3. Синхронный RS-триггер

Для организации синхронного (статического, управляемого уровнем) одноступенчатого RS-триггера к схеме асинхронного RS-триггера добавляют два ЛЭ (рис. 3.6, 3.7).

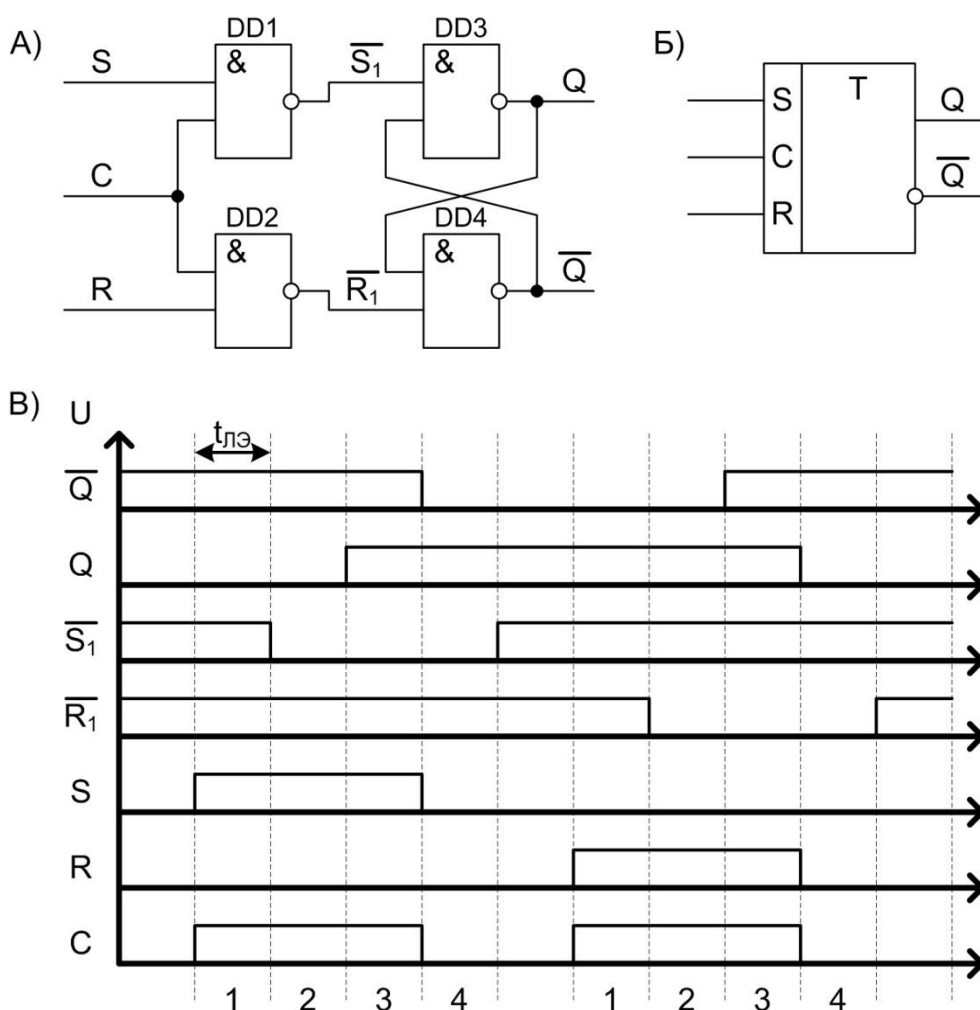


Рис. 3.6. Синхронный RS-триггер: А – функциональная схема; Б – УГО; В – временные диаграммы работы; $t_{ЛЭ}$ – время переключения ЛЭ И-НЕ

На рис. 3.6.А элементы DD1 и DD2 образуют схему управления с прямыми входами, а элементы DD3 и DD4 образуют фиксатор (асинхронный RS-триггер).

При значении сигналов $C=1$ и $S=1$ на выходе элемента DD1 устанавливается логический 0, и триггер переключается в состояние «1». При значении $C=1$ и $R=1$ на выходе элемента DD2 устанавливается логический 0 и триггер переключается в состояние «0». Комбинация входных сигналов $CSR=1$ запрещена, поскольку приводит к неопределенному состоянию триггера (табл. 3.4).

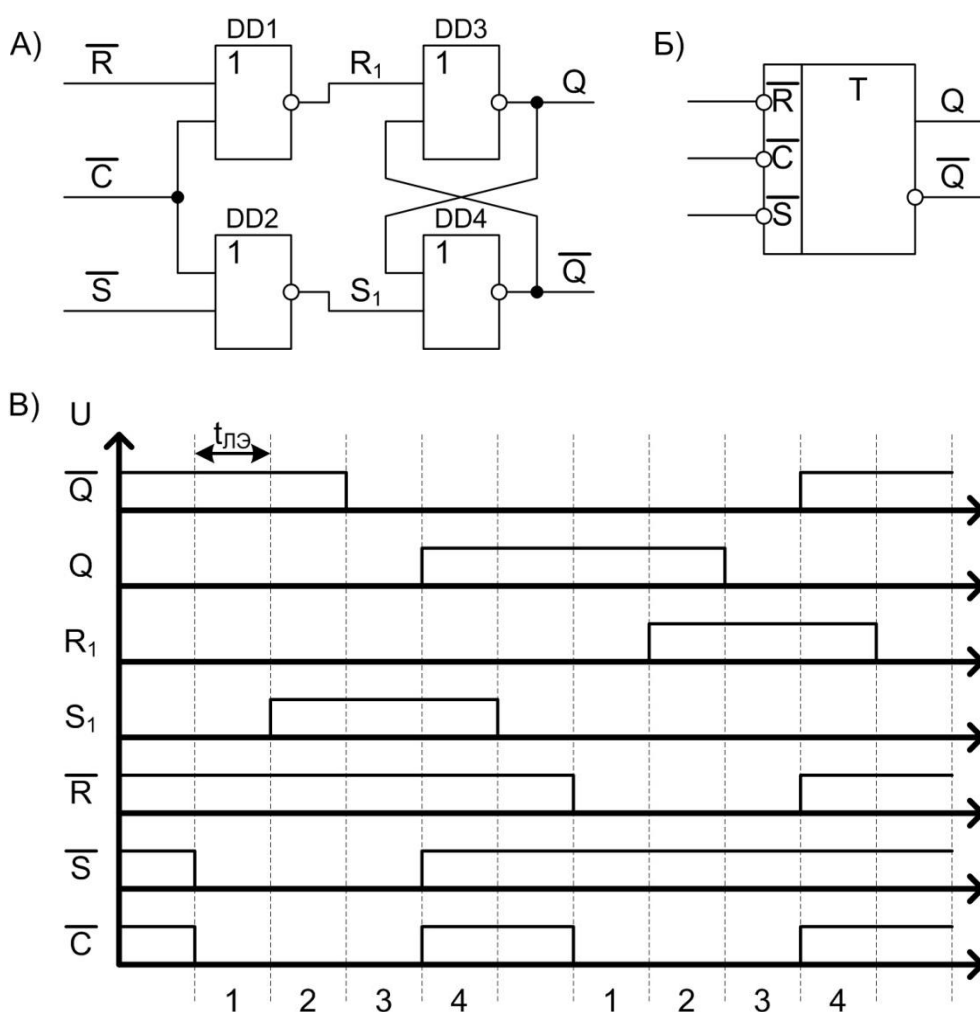


Рис. 3.7. Синхронный RS-триггер: А – функциональная схема; Б – УГО; В – временные диаграммы работы; $t_{ЛЭ}$ – время переключения ЛЭ ИЛИ-НЕ

Из временных диаграмм следует, что время переключения синхронного одноступенчатого RS -триггера $t_{CRS} = 4t_{ЛЭ}$, а длительность синхросигнала (с учётом задержек) определяется из условия $t_c = 3t_{ЛЭ}$. Максимальная и рабочая частоты переключения синхронного одноступенчатого RS -триггера равны соответственно $f_{\max} = \frac{1}{3t_{ЛЭ}}$ и $f_p = \frac{1}{4t_{ЛЭ}}$.

Таблица 3.4.

Таблица функционирования синхронного RS -триггера

Вход						Выход		Переход
R	S	C	$\bar{S}$	$\bar{R}$	$\bar{C}$	$Q(t)$	$Q(t+1)$	
X	0	1	1	X	0	0	0	$0 \rightarrow 0$
0	X	1	X	1	0	1	1	$1 \rightarrow 1$
0	1	1	0	1	0	0	1	$0 \rightarrow 1$
1	0	1	1	0	0	1	0	$1 \rightarrow 0$

Синхронный одноступенчатый RS -триггер имеет 3 режима работы и одну запрещённую комбинацию входных сигналов (табл. 3.5).

Таблица 3.5.

Режимы работы синхронного RS -триггера

Вход						Выход		Режим
R	S	C	$\bar{S}$	$\bar{R}$	$\bar{C}$	$Q(t)$	$Q(t+1)$	
X	X	0	X	X	1	0/1	0/1	хранение
1	0	1	1	0	0	X	0	установка в 0
0	1	1	0	1	0	X	1	установка в 1
1	1	1	0	0	0	0/1	0/1	запрещённый

3.4. D -триггер типа «защёлка»

Для организации синхронного (статического, управляемого уровнем) одноступенчатого D -триггера в схеме синхронного одноступенчатого RS -триггера на ЛЭ И-НЕ (рис. 3.6.А) вход R соединяют с выходом $DD1$, а вход S заменяется входом D . Для обеспечения синхронизации сигнал с входа C подаётся на $DD2$ с задержкой (рис. 3.8.А).

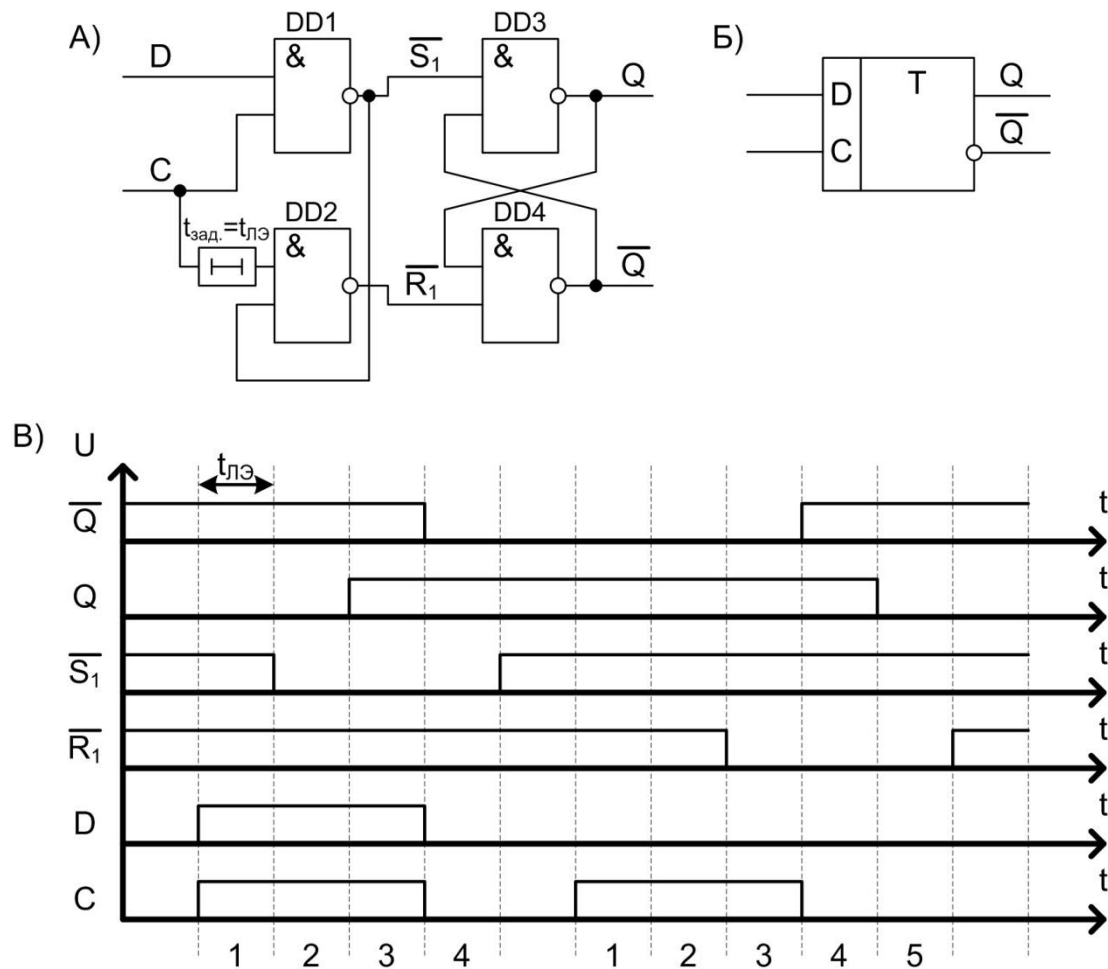


Рис. 3.8. Синхронный D-триггер: А – функциональная схема; Б – УГО; В – временные диаграммы работы; $t_{ЛЭ}$ – время переключения ЛЭ И-НЕ

На рис. 3.8.А, аналогично с синхронным RS-триггером, элементы DD1 и DD2 образуют схему управления с прямыми входами, а элементы DD3 и DD4 образуют фиксатор (асинхронный RS-триггер). Однако, в отличие от схемы синхронного RS-триггера в схеме D-триггера входами DD2 являются сигналы с выхода DD1 и C через задержку.

При значении сигналов $C=1$ и $D=1$ на выходе элемента DD1 устанавливается логический 0, и триггер переключается в состояние «1». При значении $C=1$ и $D=0$ на выходе элемента DD2 устанавливается логический 0 и триггер переключается в состояние «0». У D-триггера любые комбинации входных сигналов разрешены (табл. 3.6).

Из временных диаграмм следует, что время переключения синхронного одноступенчатого D-триггера $t_D = 5t_{ЛЭ}$, а длительность синхросигнала (с учётом задержек) определяется из условия $t_C = 3t_{ЛЭ}$. Максимальная

и рабочая частоты переключения синхронного одноступенчатого D -триггера равны соответственно $f_{\max} = \frac{1}{3t_{\text{ЛЭ}}}$ и $f_p = \frac{1}{5t_{\text{ЛЭ}}}$.

Таблица 3.6.

Таблица функционирования синхронного D -триггера

Вход		Выход		Переход
D	C	$Q(t)$	$Q(t+1)$	
0	X	0	0	$0 \rightarrow 0$
1	X	1	1	$1 \rightarrow 1$
1	1	0	1	$0 \rightarrow 1$
0	1	1	0	$1 \rightarrow 0$

Синхронный одноступенчатый D -триггер имеет 3 режима работы (табл. 3.7).

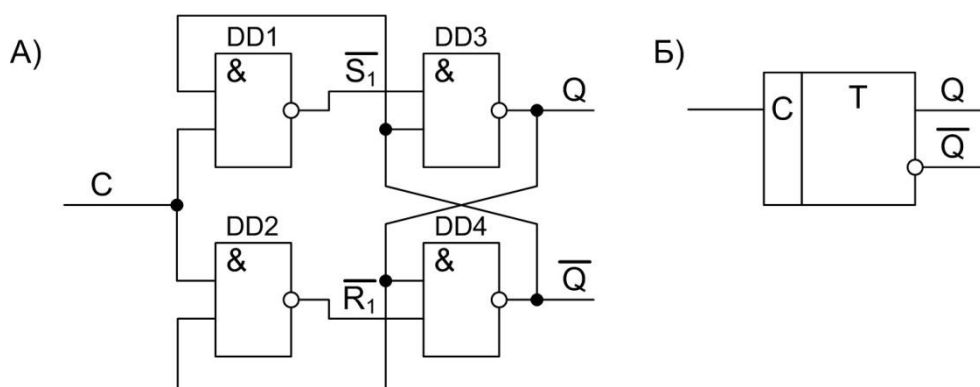
Таблица 3.7.

Режимы работы синхронного D -триггера

Вход		Выход		Режим
D	C	$Q(t)$	$Q(t+1)$	
X	0	0/1	0/1	хранение
0	1	X	0	установка в 0
1	1	X	1	установка в 1

3.5. T -триггер (счётный триггер)

Для организации синхронного (статического, управляемого уровнем) одноступенчатого T -триггера в схеме синхронного одноступенчатого RS -триггера на ЛЭ И-НЕ (рис. 3.6.А) вход S соединяют с выходом $DD4$, а вход R соединяют с выходом $DD3$ (рис. 3.9.А).



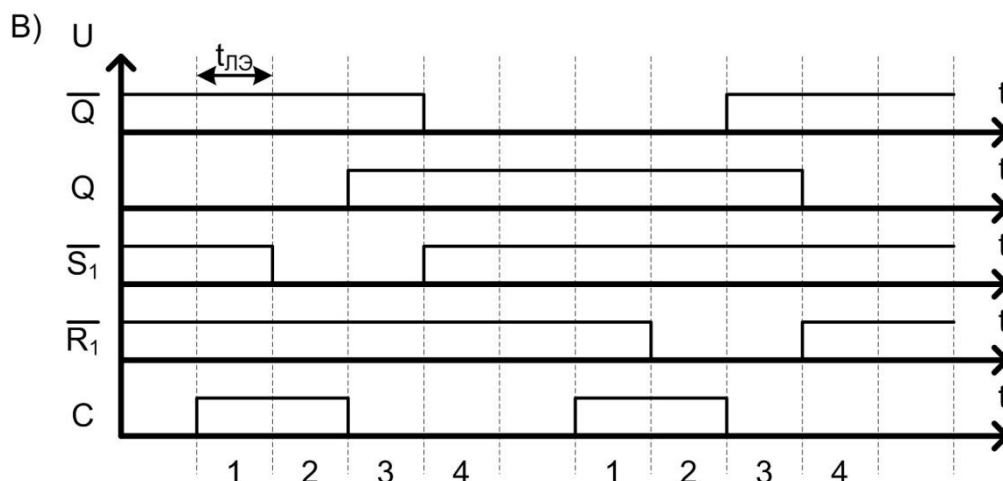


Рис. 3.9. Синхронный Т-триггер: А – функциональная схема; Б – УГО; В – временные диаграммы работы; $t_{ЛЭ}$ – время переключения ЛЭ И-НЕ

На рис. 3.9.А, аналогично с синхронным RS-триггером, элементы DD1 и DD2 образуют схему управления с прямыми входами, а элементы DD3 и DD4 образуют фиксатор (асинхронный RS-триггер). Однако, в отличие от схемы синхронного RS-триггера в схеме Т-триггера входами для элементов DD1,2 являются сигналы с выхода триггера: $\bar{Q}$ и Q соответственно.

При значении сигналов $C=1$ и выхода $Q=0$ триггер переключается в состояние «1». При значении $C=1$ и $Q=1$ триггер переключается в состояние «0». Т-триггер меняет одно устойчивое состояние на другое всякий раз, когда на вход С приходит единичный импульс достаточной продолжительности (табл. 3.8).

Из временных диаграмм следует, что время переключения синхронного одноступенчатого Т-триггера $t_T = 4t_{ЛЭ}$, а длительность синхросигнала (единичного уровня) определяется из условия $t_C = 2t_{ЛЭ}$. Максимальная и рабочая частоты переключения синхронного одноступенчатого Т-триггера равны соответственно $f_{\max} = \frac{1}{2t_{ЛЭ}}$ и $f_p = \frac{1}{4t_{ЛЭ}}$.

Таблица 3.8.

Таблица функционирования синхронного Т-триггера

Вход C	Выход		Переход
	Q(t)	Q(t+1)	
0	0	0	0→0
0	1	1	1→1
1	0	1	0→1
1	1	0	1→0

Синхронный одноступенчатый T -триггер имеет 3 режима работы (табл. 3.9).

Таблица 3.9.

Режимы работы синхронного T -триггера

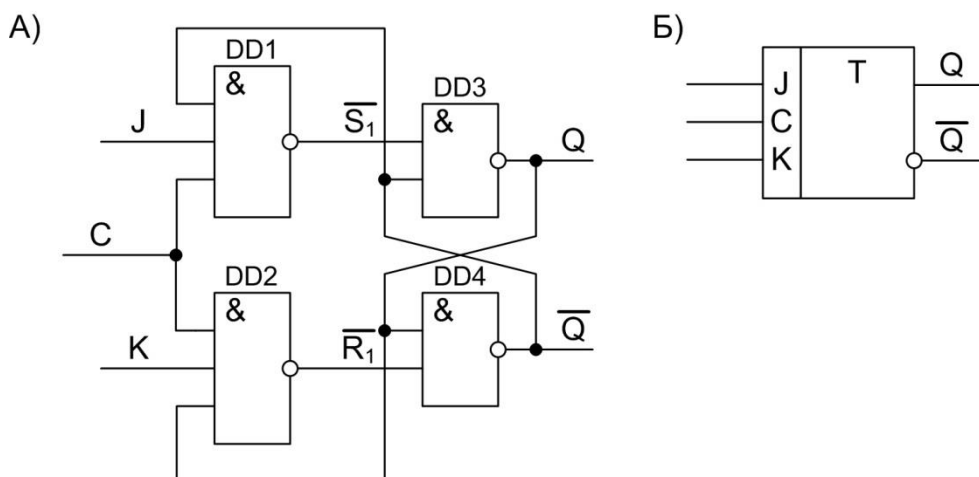
Вход C	Выход		Режим
	$Q(t)$	$Q(t+1)$	
0	0/1	0/1	хранение
1	1	0	счётный из 1 в 0
1	0	1	счётный из 0 в 1

T -триггер построенный на основе одноступенчатых RS и D триггерах работает не надёжно, т.к. запоминающий триггер выполняет две функции – является источником информации для входного каскада и в тоже самое время является приёмником этой же информации. Такой T -триггер имеет строгое ограничение на длительность тактового импульса, чтобы обеспечить корректную работу триггера.

T -триггер надёжной структуры строится с использованием двухступенчатых RS -триггеров или триггеров с динамическим управлением.

3.6. JK -триггер (универсальный)

Для организации синхронного (статического, управляемого уровнем) одноступенчатого JK -триггера в схеме синхронного одноступенчатого RS -триггера на ЛЭ И-НЕ (рис. 3.6.А) элементы $DD1$ и $DD2$ заменяют на 2ЛЭ 3И-НЕ, на входы которых подают сигналы C , $\bar{Q}$, J и C , Q , K соответственно (рис. 3.10.А).



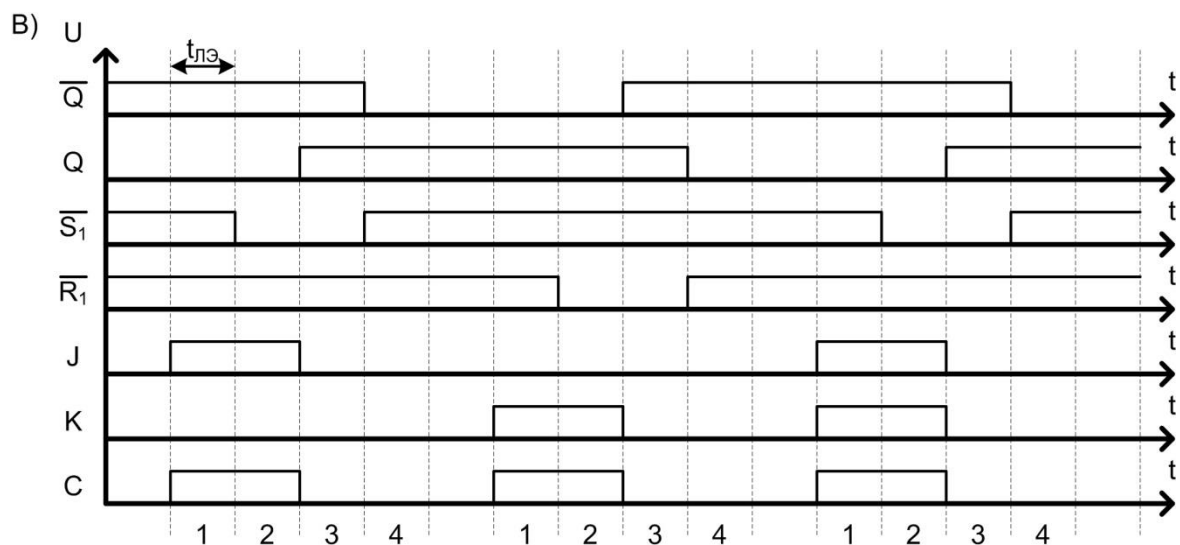


Рис. 3.10. Синхронный JK-триггер: А – функциональная схема; Б – УГО; В – временные диаграммы работы; $t_{ЛЭ}$ – время переключения ЛЭ И-НЕ

На рис. 3.10.А, аналогично с синхронным RS-триггером, элементы DD1 и DD2 образуют схему управления с прямыми входами, а элементы DD3 и DD4 образуют фиксатор (асинхронный RS-триггер). Однако, в отличие от схемы синхронного RS-триггера в схеме JK-триггера входами для элементов DD1,2 являются сигналы: $C, \overline{Q}, J$ и C, Q, K соответственно.

При значении сигналов $C=1, J=1, K=0$ и выхода $Q=0$ триггер переключается в состояние «1». При значении $C=1, J=0, K=1$ и $Q=1$ триггер переключается в состояние «0». Когда на входе триггера имеется комбинация сигналов $C=1, J=1, K=1$, то он начинает работать аналогично синхронному одноступенчатому T-триггеру (табл. 3.10).

Из временных диаграмм следует, что время переключения синхронного одноступенчатого JK-триггера $t_{JK} = 4t_{ЛЭ}$, а длительность синхросигнала (единичного уровня) определяется из условия $t_C = 2t_{ЛЭ}$. Максимальная и рабочая частоты переключения синхронного одноступенчатого JK-триггера равны соответственно $f_{\max} = \frac{1}{2t_{ЛЭ}}$ и $f_p = \frac{1}{4t_{ЛЭ}}$.

Таблица 3.10.

Таблица функционирования синхронного JK-триггера

Вход			Выход		Переход
J	K	C	Q(t)	Q(t+1)	
X	0	1	0	0	0→0
0	X	1	1	1	1→1
0	1	1	0	1	0→1
1	0	1	1	0	1→0

Синхронный одноступенчатый *JK*-триггер имеет 5 режимов работы (табл. 3.11).

Таблица 3.11.

Режимы работы синхронного JK-триггера

Вход			Выход		Режим
<i>J</i>	<i>K</i>	<i>C</i>	<i>Q(t)</i>	<i>Q(t+1)</i>	
X	X	0	0/1	0/1	хранение
0	1	1	X	0	установка в 0
1	0	1	X	1	установка в 1
1	1	1	1	0	счётный из 1 в 0
1	1	1	0	1	счётный из 0 в 1

Одноступенчатый *JK*-триггер в счётном режиме работает не надёжно, т.к. запоминающий триггер выполняет две функции – является источником информации для входного каскада и в тоже самое время является приёмником этой же информации. Такой *JK*-триггер имеет строгое ограничение на длительность тактового импульса, чтобы обеспечить корректную работу триггера.

На практике в основном используется двухступенчатый *JK*-триггер или *JK*-триггер с динамическим управлением.

На основе одноступенчатого *JK*-триггера можно построить одноступенчатые *D*-, *T*- и *RS*- триггеры (рис. 3.11).

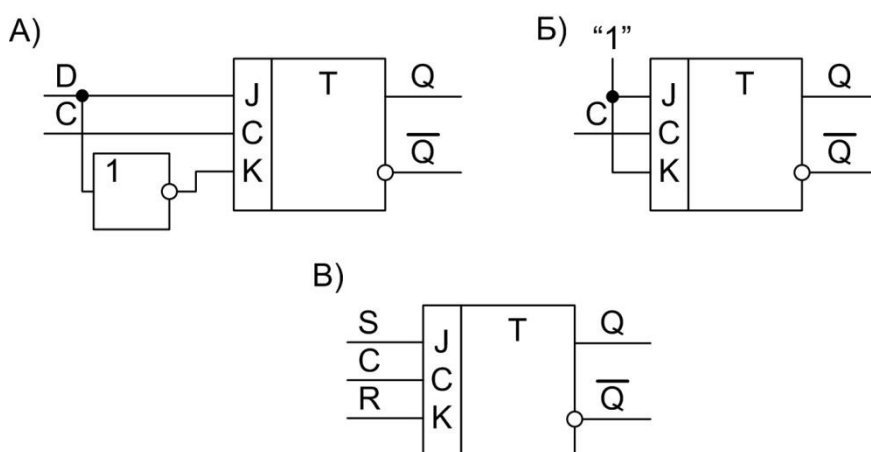


Рис. 3.11. Одноступенчатые триггеры на основе *JK*-триггера: А – *D*-триггер; Б – *T*-триггер; В – *RS*-триггер

3.7. Двухступенчатые триггеры

Двухступенчатые триггеры содержат две ячейки памяти, запись информации в которые происходит последовательно в разные моменты времени. Такую структуру называют системой «ведущий-ведомый» или *MS*-

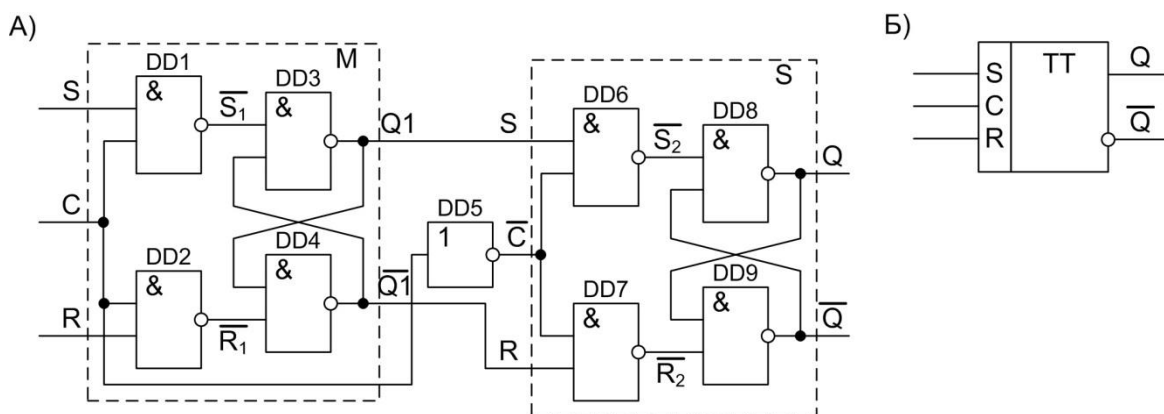
структурой. Первая ступень *M* (*Master* – основная, ведущий) служит для промежуточной записи входной информации, а вторая – *S* (*Slave* – вспомогательная, ведомый) – для последующего запоминания и хранения.

3.7.1. Двухступенчатый RS-триггер

Функциональные свойства всей триггерной системы определяются первой ступенью, вторая ступень может быть одинакова для всех случаев и обычно представляет собой синхронный *RS*-триггер со статическим управлением.

Двухступенчатый ведет себя подобно триггеру с инверсным динамическим управлением, хотя обе его ступени имеют статическое управление. Этот эффект достигается за счёт того, что новая информация переписывается во вторую ступень (ведомую) после спада активного уровня синхросигнала.

Схема двухступенчатого *RS*-триггера на элементах И-НЕ состоит из двух одинаковых синхронных *RS*-триггеров со статическим управлением (рис. 3.12.А). Тактовый вход ведущего триггера связан со входом ведомого через инвертор.



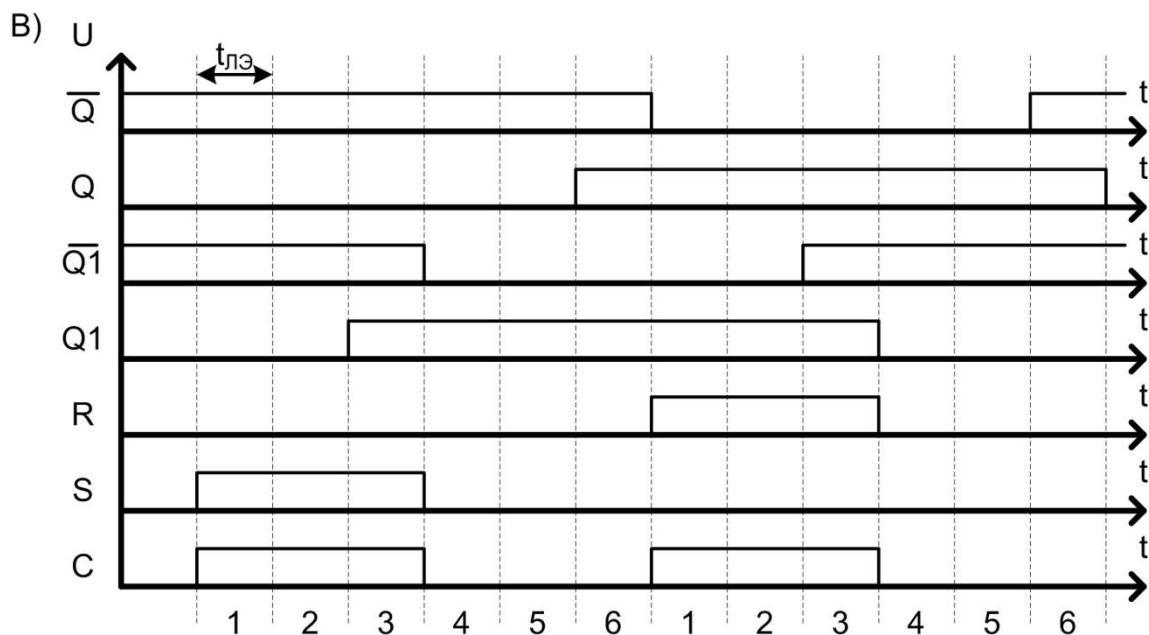


Рис. 3.12. Двухступенчатый RS-триггер: А – функциональная схема; Б – УГО; В – временные диаграммы работы; $t_{лэ}$ – время переключения ЛЭ И-НЕ

При значении сигналов $C=1$, $S=1$, $R=0$ ведущий триггер (М) переключается в состояние «1», когда $C=0$, ведомый триггер (S), также переключается в состояние «1». При значении $C=1$, $S=0$, $R=1$ ведущий триггер (М) переключается в состояние «0», а при $C=0$ ведомый триггер (S), также переключается в состояние «0». Комбинация входных сигналов $CSR=1$ запрещена, поскольку приводит к неопределенному состоянию триггера (табл. 3.12).

Из временных диаграмм следует, что время переключения двухступенчатого RS-триггера $t_{RS} = 6t_{лэ}$, а длительность синхросигнала (единичного уровня) определяется из условия $t_c = 3t_{лэ}$. Максимальная и рабочая частоты переключения такого триггера равны соответственно $f_{\max} = \frac{1}{3t_{лэ}}$

и $f_p = \frac{1}{6t_{лэ}}$.

Таблица 3.12.

Таблица функционирования двухступенчатого RS-триггера

Вход			Выход				Переход
R	S	C	Q1(t)	Q1(t+1)	Q(t)	Q(t+1)	
X	0	1	0	0	0	0	0→0
X	X	0	0	0	0	0	0→0
0	X	1	1	1	1	1	1→1

Вход			Выход				Переход
R	S	C	$Q1(t)$	$Q1(t+1)$	$Q(t)$	$Q(t+1)$	
X	X	0	1	1	1	1	$1 \rightarrow 1$
0	1	1	0	1	0	0	$0 \rightarrow 1$
X	X	0	1	1	0	1	$0 \rightarrow 1$
1	0	1	1	0	1	1	$1 \rightarrow 0$
X	X	0	0	0	1	0	$1 \rightarrow 0$

Двухступенчатый RS-триггер имеет 4 режима работы (табл. 3.13).

Таблица 3.13.

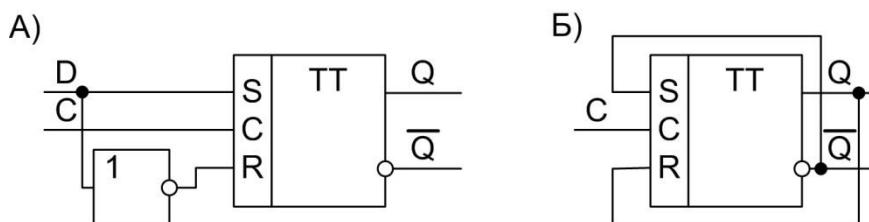
Режимы работы двухступенчатого RS-триггера

Вход			Выход				Режим
R	S	C	$Q1(t)$	$Q1(t+1)$	$Q(t)$	$Q(t+1)$	
X	X	0	0/1	0/1	0/1	0/1	хранение
0	1	1	X	1	X	X	установка в 1
X	X	0	1	1	X	1	
1	0	1	X	0	X	X	установка в 0
X	X	0	0	0	X	0	
1	1	1	X	X	X	X	запрещённый

В двухступенчатом триггере смена входной информации может происходить во время действия синхросигнала, т.к. перезапись сигналов из первой ступени во вторую происходит с окончанием синхросигнала, т.е. по принципу внутренней задержки.

3.7.2. Двухступенчатые триггеры на основе RS-триггера

На основе двухступенчатого RS-триггера можно построить двухступенчатые D-, T- и JK- триггеры (рис. 3.13). Одноступенчатые и с динамическим управлением D-, T- и JK- триггеры строятся аналогичным образом на основе одноступенчатого и динамического RS-триггера соответственно.



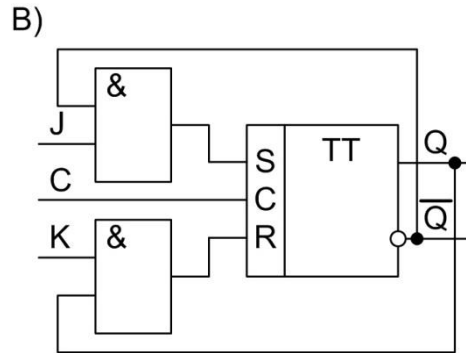
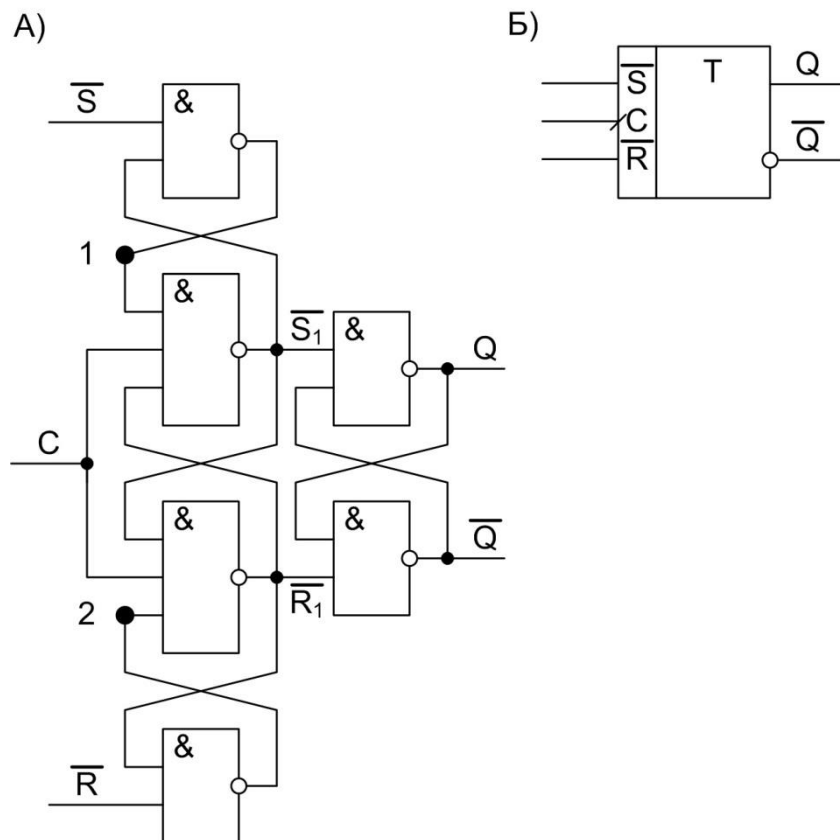


Рис. 3.13. Двухступенчатые триггеры на основе RS-триггера: А – D-триггер; Б – Т-триггер; В – JK-триггер

3.8. Триггер с самоблокировкой (динамический триггер)

Для триггеров с динамическим управлением можно менять информационные сигналы при любом уровне синхросигнала без появления ошибки. В таких схемах тактовый сигнал активен на коротком промежутке времени в окрестностях нарастающего или спадающего фронта тактового импульса. Чаще всего RS-триггер с динамическим управлением строится по схеме трёх триггеров (рис. 3.14.А).



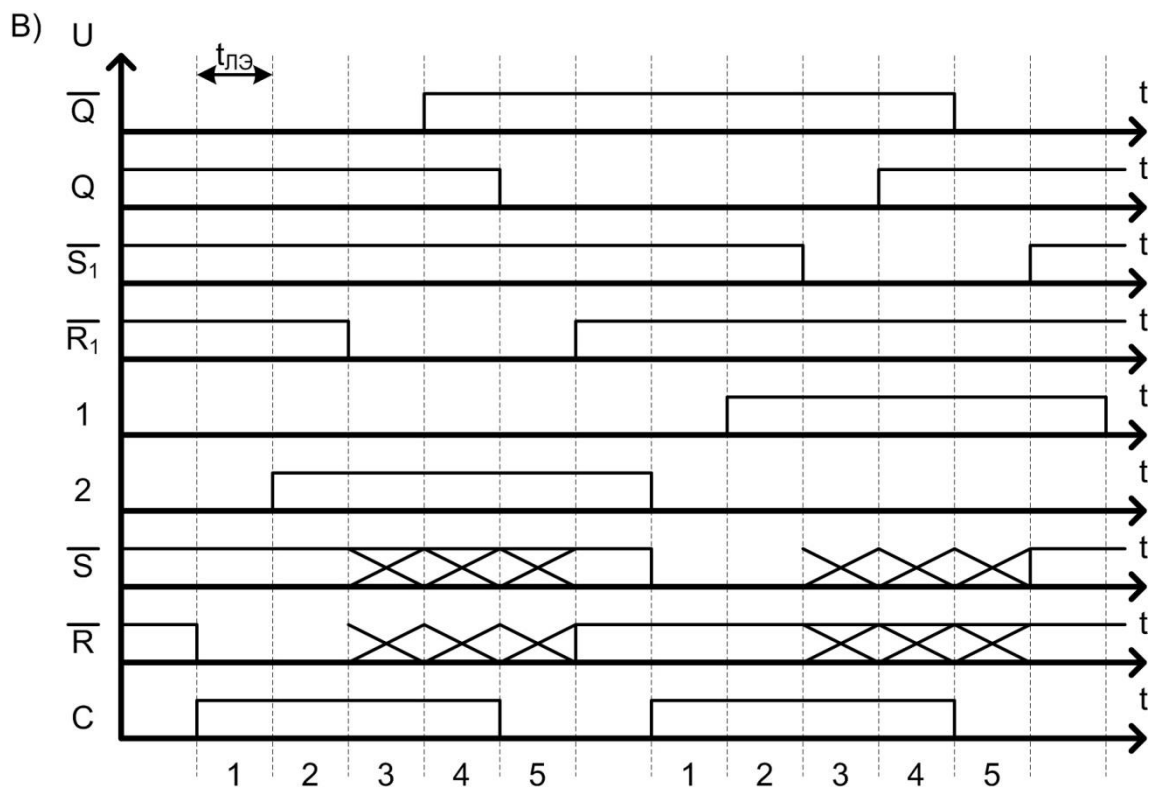


Рис. 3.14. Динамический RS-триггер: А – функциональная схема; Б – УГО; В – временные диаграммы работы; $t_{ЛЭ}$ – время переключения ЛЭ И-НЕ

При значении сигналов $C=1$, $\bar{S}=0$, $\bar{R}=1$ триггер переключается в состояние «1». При значении $C=1$, $\bar{S}=1$, $\bar{R}=0$ триггер переключается в состояние «0». При подаче описанных управляющих комбинаций и после истечения времени $2t_{ЛЭ}$ сигналы с входов $\bar{S}$ и $\bar{R}$ перестают оказывать какое-либо воздействие на состояние триггера, до прихода следующего положительного фронта на вход C . Комбинация входных сигналов $C=1$, $\bar{S}=0$, $\bar{R}=0$ запрещена, поскольку приводит к неопределенному состоянию триггера (табл. 3.14).

Из временных диаграмм следует, что время переключения динамического RS-триггера $t_{RS} = 5t_{ЛЭ}$, а длительность синхросигнала (единичного уровня) определяется из условия $t_C = 4t_{ЛЭ}$. Максимальная и рабочая частоты переключения такого триггера равны соответственно $f_{\max} = \frac{1}{4t_{ЛЭ}}$ и

$$f_p = \frac{1}{5t_{ЛЭ}}.$$

Таблица 3.14.

Таблица функционирования динамического RS-триггера

Вход			Выход		Переход
$\bar{R}$	$\bar{S}$	C	$Q(t)$	$Q(t+1)$	
X	1	$0 \rightarrow 1$	0	0	$0 \rightarrow 0$
1	X	$0 \rightarrow 1$	1	1	$1 \rightarrow 1$
1	0	$0 \rightarrow 1$	0	0	$0 \rightarrow 1$
0	1	$0 \rightarrow 1$	1	1	$1 \rightarrow 0$

Динамический RS-триггер имеет 4 режима работы (табл. 3.15).

Таблица 3.15.

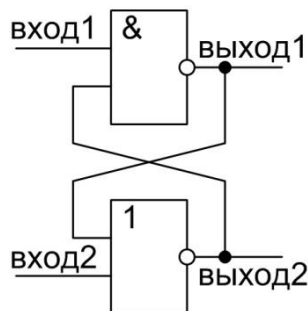
Режимы работы динамического RS-триггера

Вход			Выход		Режим
$\bar{R}$	$\bar{S}$	C	$Q(t)$	$Q(t+1)$	
X	X	0	0/1	0/1	хранение
1	0	$0 \rightarrow 1$	X	1	установка в 1
0	1	$0 \rightarrow 1$	X	0	установка в 0
0	0	$0 \rightarrow 1$	X	X	запрещённый

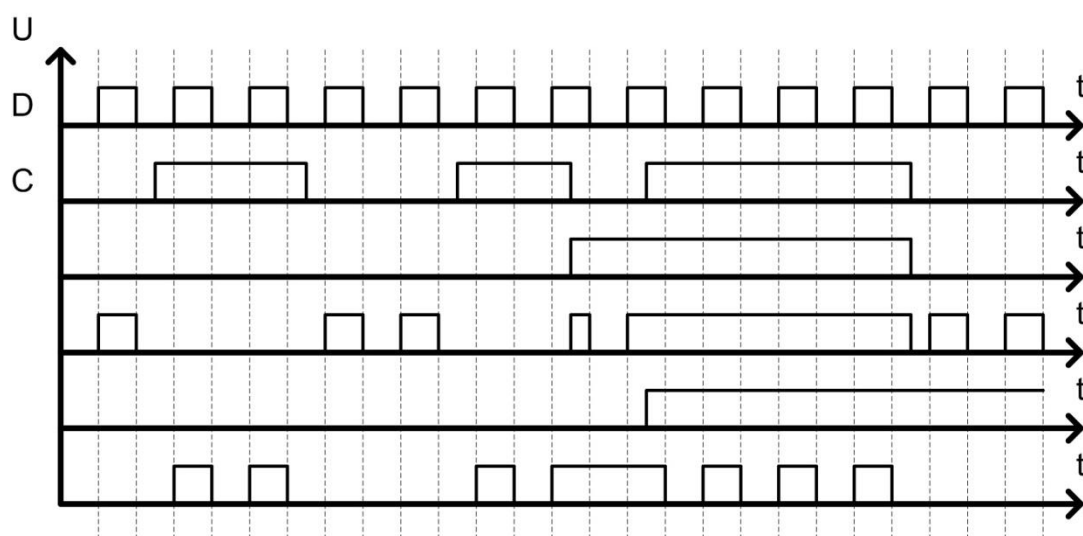
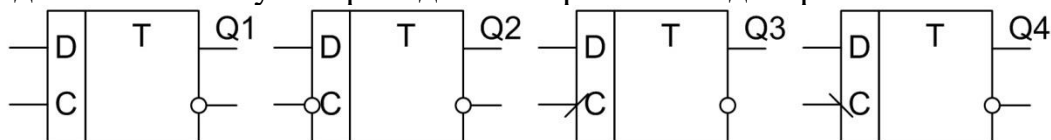
В динамическом триггере управляющие сигналы на входах $\bar{S}$ и $\bar{R}$ действуют на триггер короткое время – в окрестностях положительного фронта тактового импульса.

3.9. Контрольные вопросы

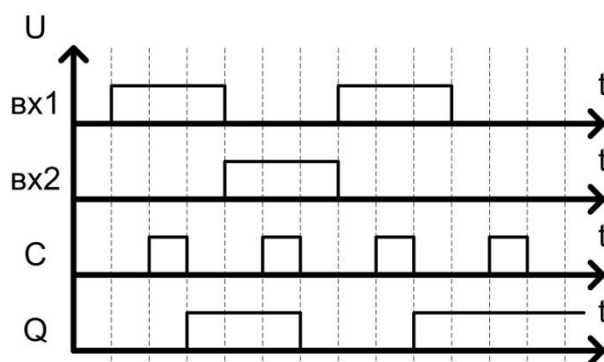
1. Каково назначение триггеров.
2. Чем различаются между собой одно- и двухступенчатые триггеры.
3. Чем отличаются триггеры с динамическим управлением от триггеров со статическим управлением.
4. Какие свойства схемы делают её триггером. Является ли триггером приведённая ниже схема:



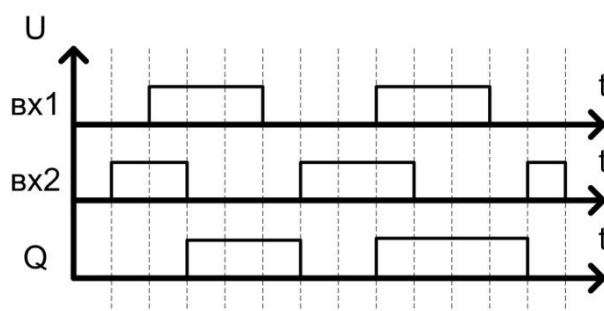
5. Какой триггер называется счётным.
6. Какой сигнал является установочным для схемы триггера на элементах И-НЕ, какой сигнал является установочным для схемы триггера на элементах ИЛИ-НЕ.
7. Ниже на рисунке представлены различные варианты *D*-триггеров и временные диаграммы на входах выходах. Проставьте каким выходам соответствуют приведённые временные диаграммы.



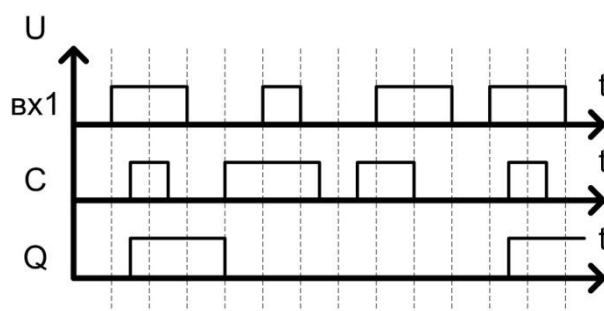
8. Определите тип триггера по приведённой временной диаграмме и нарисуйте его УГО. Укажите функциональное назначение пронумерованных входов.



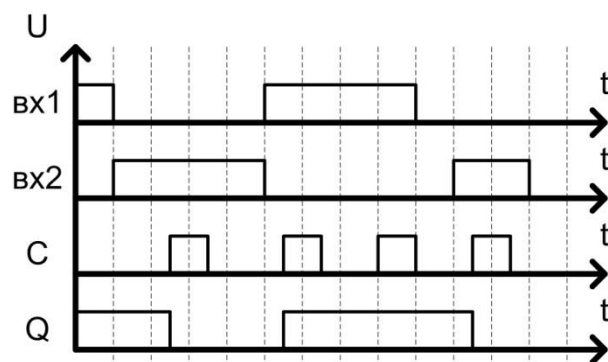
9. Определите тип триггера по приведённой временной диаграмме и нарисуйте его УГО. Укажите функциональное назначение пронумерованных входов.



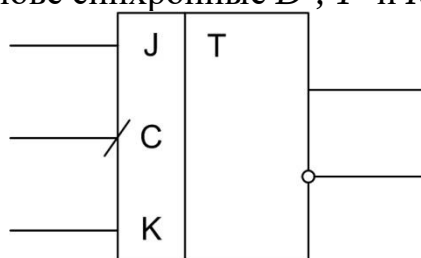
10. Определите тип триггера по приведённой временной диаграмме и нарисуйте его УГО. Укажите функциональное назначение пронумерованных входов.



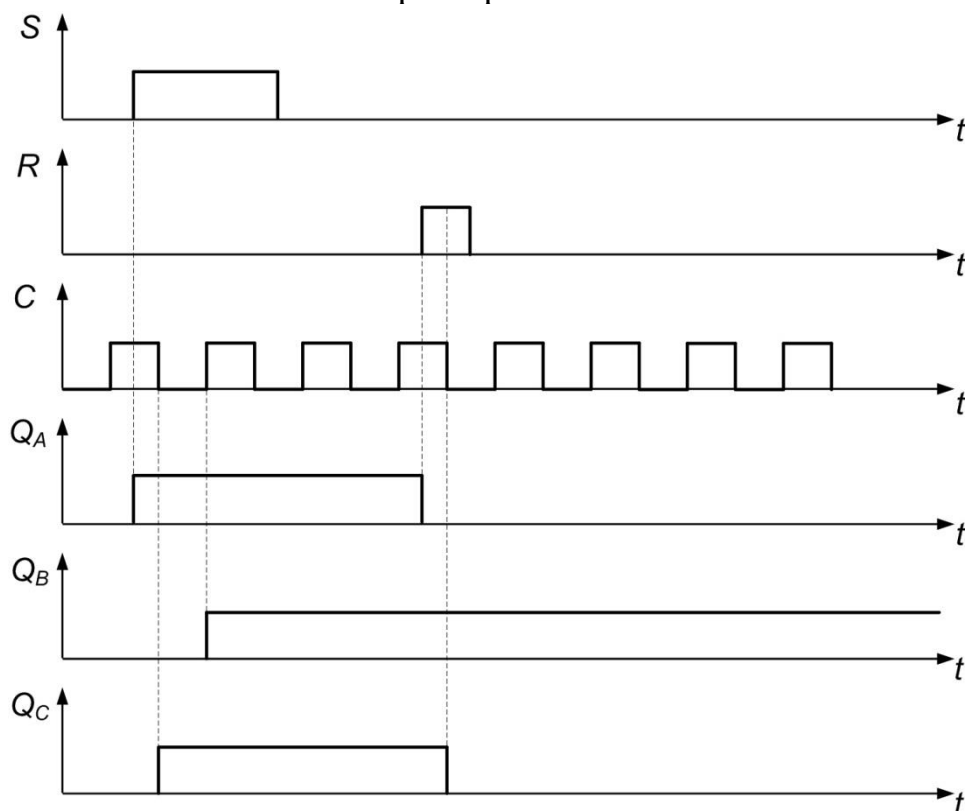
11. Определите тип триггера по приведённой временной диаграмме и нарисуйте его УГО. Укажите функциональное назначение пронумерованных входов.



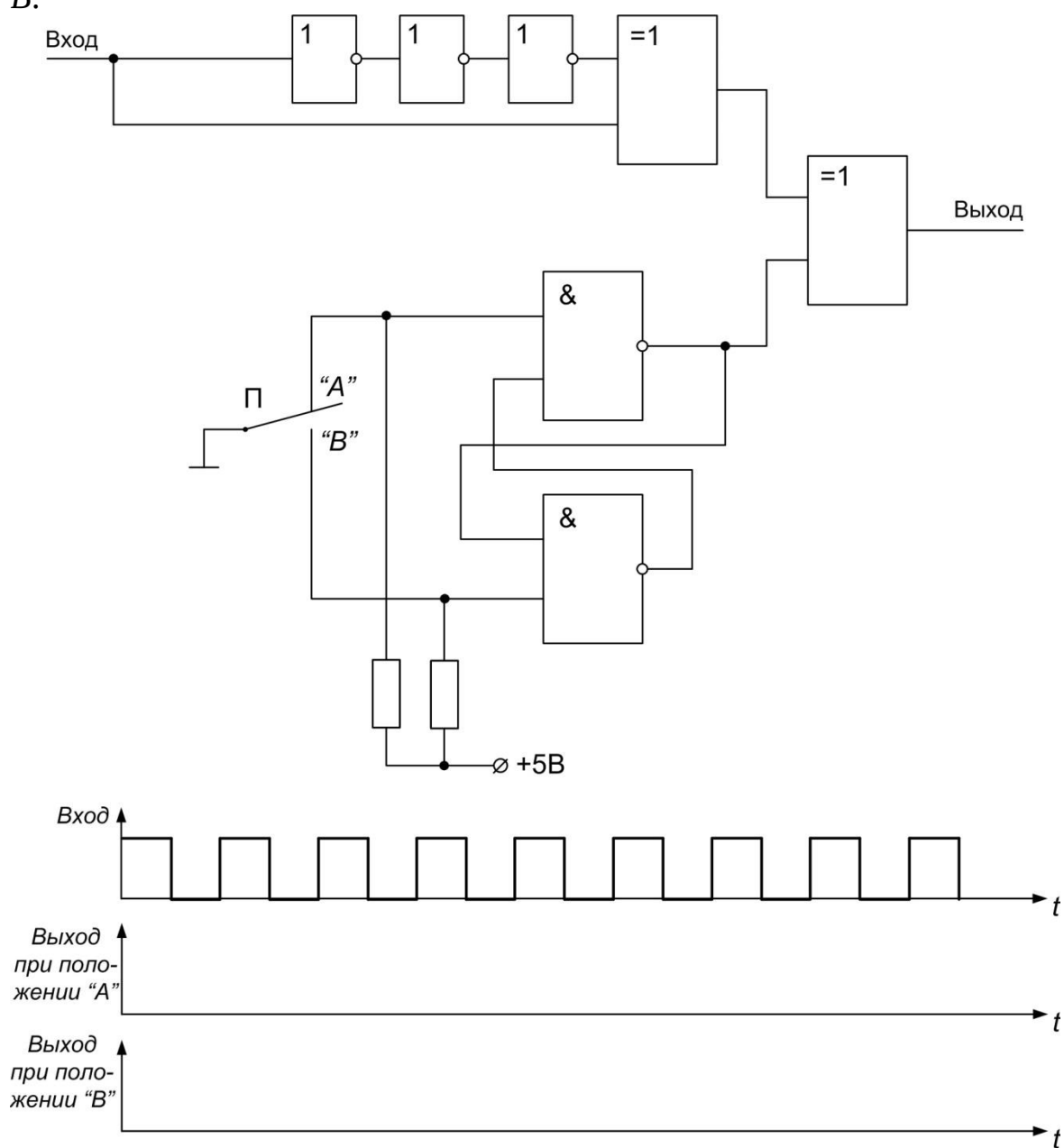
12. Имеется синхронный JK -триггер с динамическим управлением. Организуйте на его основе синхронные D -, T - и RS - триггеры.



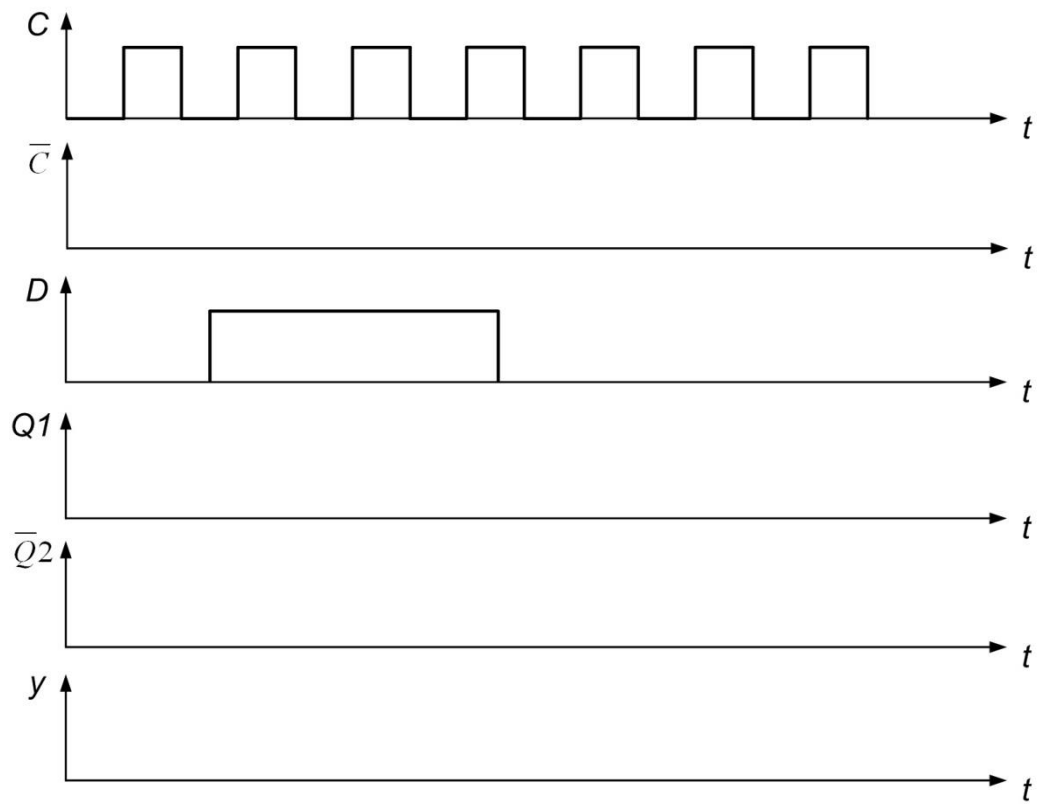
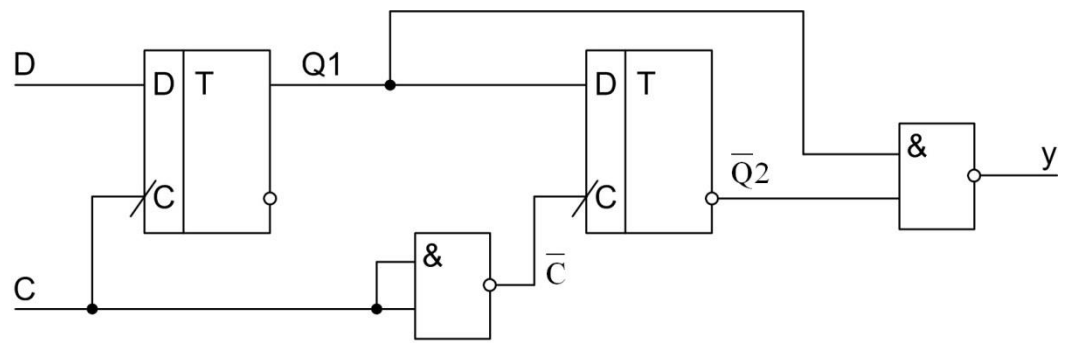
13. Какая из приведённых диаграмм работы тактируемого RS -триггера соответствует синхронизации задним фронтом. Приведите условное обозначение такого триггера.



14. Приведите временные диаграммы на выходе приведённой ниже схемы при нахождении переключателя П в положении А и в положении В.



15. С помощью временных диаграмм определить назначение схемы, приведенной на рисунке:



4. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

4.1. Регистры

Регистры – последовательностное устройство, предназначенное для записи, хранения и (или) сдвига данных, представленных в виде много-разрядного двоичного кода.

В общем случае регистры могут выполнять следующие операции над словами:

1. Установка регистра в нулевое состояние.
2. Запись входных данных в последовательном коде.
3. Запись входных данных в параллельном коде.
4. Хранение данных.
5. Сдвиг хранимого кодового слова вправо или влево.
6. Выдача хранимых данных в последовательном коде.
7. Выдача хранимых данных в параллельном коде.

Любой n -разрядный регистр состоит из n однотипных ячеек – разрядных схем, выходной сигнал каждой из которых ассоциируется с весовым коэффициентом соответствующего разряда двоичного кода, при этом каждая разрядная схема состоит из триггера, как элемента памяти и некоторой комбинационной схемы, преобразующей входные воздействия и состояния триггера в выходные сигналы регистра.

Регистры могут быть классифицированы по различным признакам. Рассмотрим основные из них.

По способу приёма и выдачи информации регистры подразделяют на:

- параллельные (статические) – приём и выдача данных производится по всем разрядам;
- последовательные (сдвигающие) – данные записываются в последовательном коде разряд за разрядом; тактирующие сигналы перемещают слово в разрядной сетке;
- параллельно-последовательные (универсальные) – имеют входы и выходы для приёма и выдачи данных, как последовательным, так и параллельным кодом.

По количеству каналов передачи переменных регистры делят на однофазные и парафазные. В парафазном регистре данные передаются по двум каналам – в прямом и инверсном коде.

По способу тактирования регистры разделяют на одноктактные и многотактные. Первые управляются одной последовательностью синхроимпульсов, вторые – несколькими последовательностями синхроимпульсов.

4.1.1. Последовательные сдвигающие регистры

Последовательные сдвигающие регистры представляют собой цепи последовательных взаимосвязанных одноразрядных схем. В регистрах данного типа коды принимаются и выдаются разряд за разрядом. Тактирующие сигналы перемещают слово в разрядной сетке.

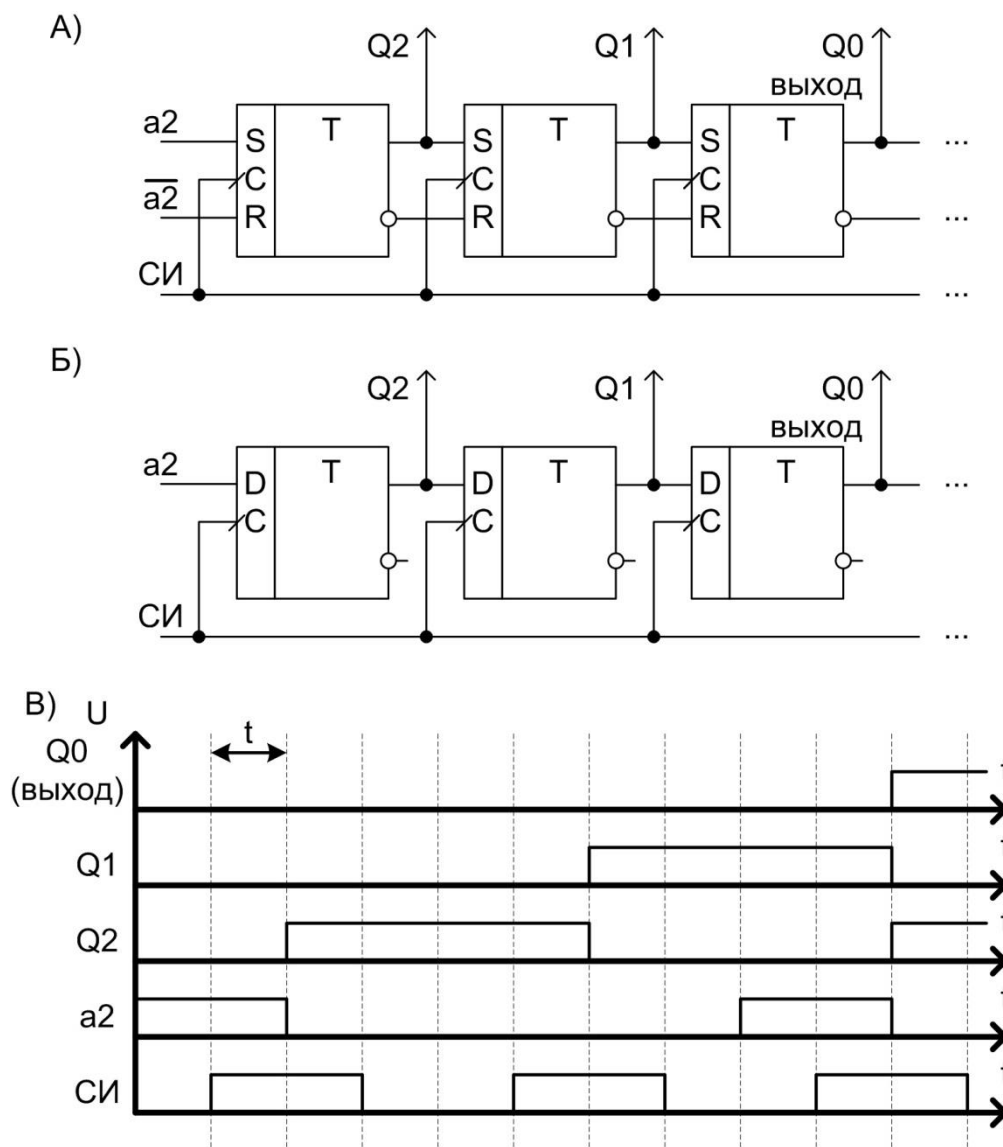


Рис. 4.1. DSR: А – парафазная функциональная схема; Б – однофазная функциональная схема; В – временные диаграммы работы; t – время переключения триггера

В одноктактных последовательных регистрах со сдвигом вправо (DSR – Data Serial Right) слово сдвигается на один разряд вправо при поступлении синхросигнала (рис. 4.1).

В одноктактных последовательных регистрах со сдвигом влево (DSL – Data Serial Left) слово сдвигается на один разряд влево при поступлении синхросигнала (рис. 4.2).

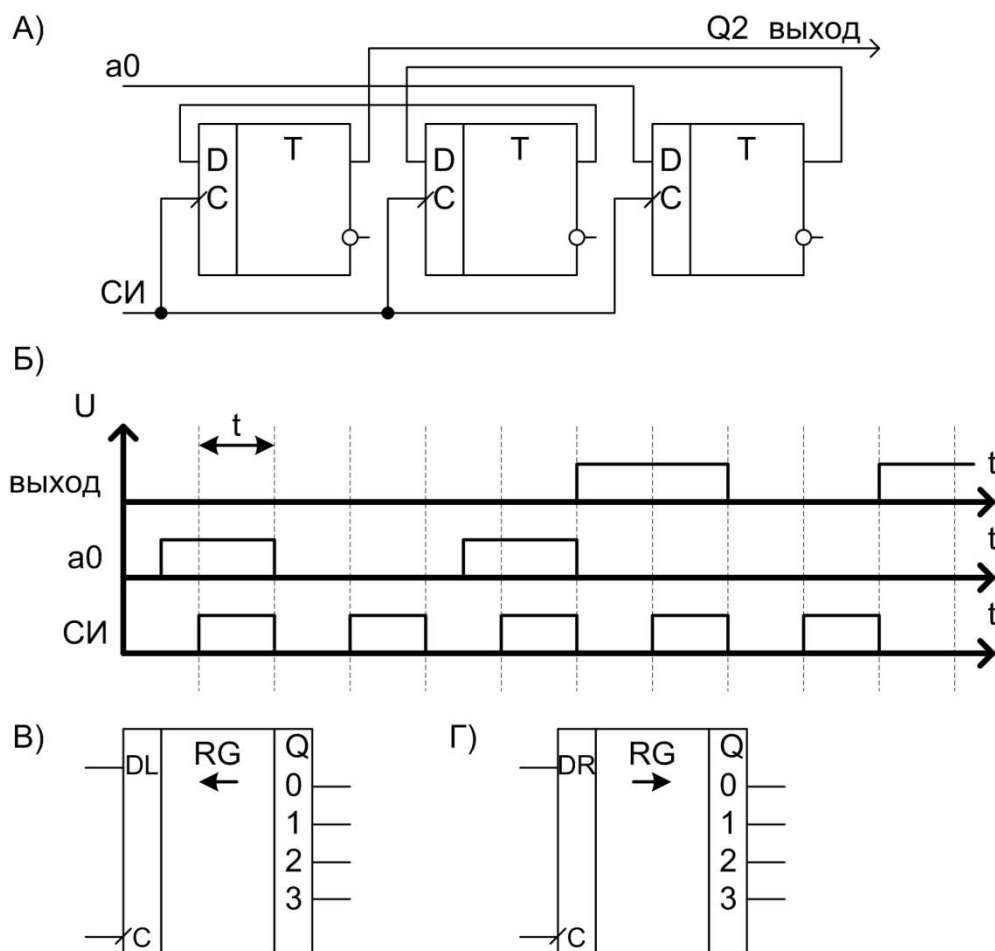
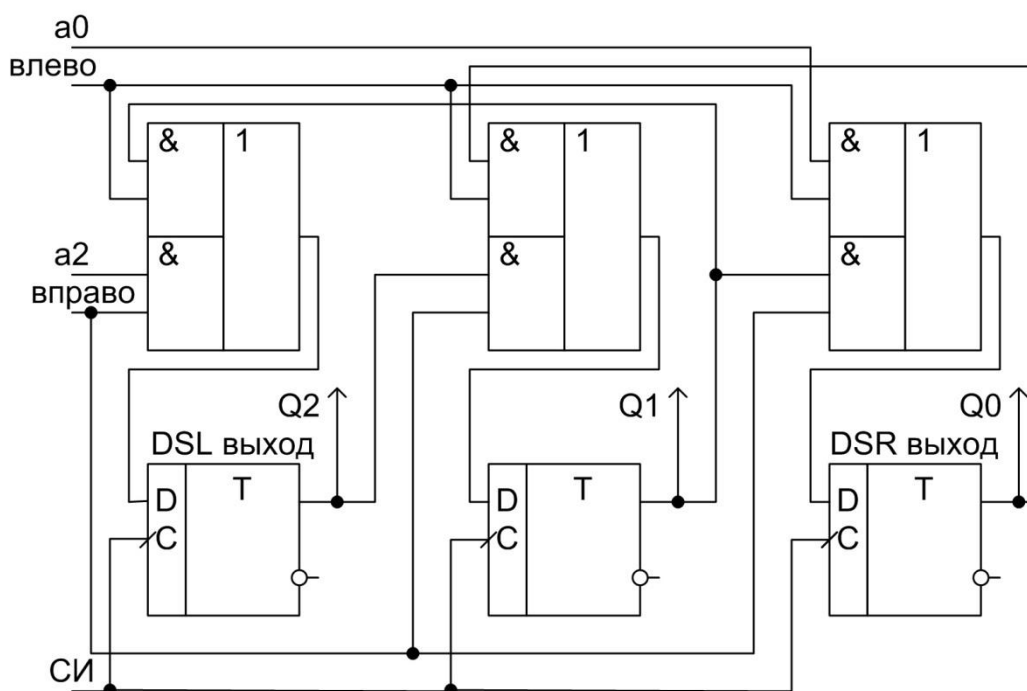


Рис. 4.2. DSL: А – функциональная схема; Б – временные диаграммы работы; t – время переключения триггера; В – УГО DSL; Г – УГО DSR

Реверсивный одноктактный последовательный регистр совмещает в себе DSR и DSL. Для управления, записи и выдачи данных в разных режимах (сдвиг вправо или влево) имеются отдельные входы и выходы (рис. 4.3). Команды «влево» и «вправо» одновременно не подаются.

А)



Б)

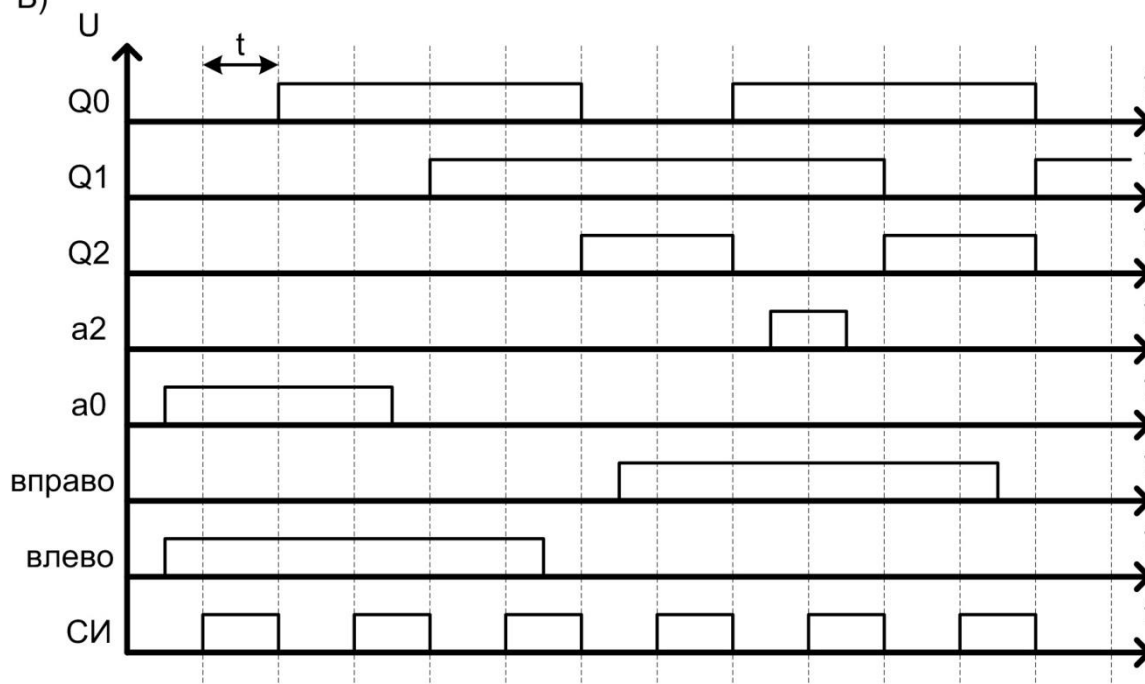


Рис. 4.3. Реверсивный регистр: А – функциональная схема; Б – временные диаграммы работы; t – время переключения триггера

В сдвигающих регистрах, не имеющих логических элементов в межразрядных связях, нельзя применять одноступенчатые триггеры, управляемые уровнем, поскольку некоторые триггеры могут за время действия

разрешающего уровня синхросигнала переключиться неоднократно, что недопустимо.

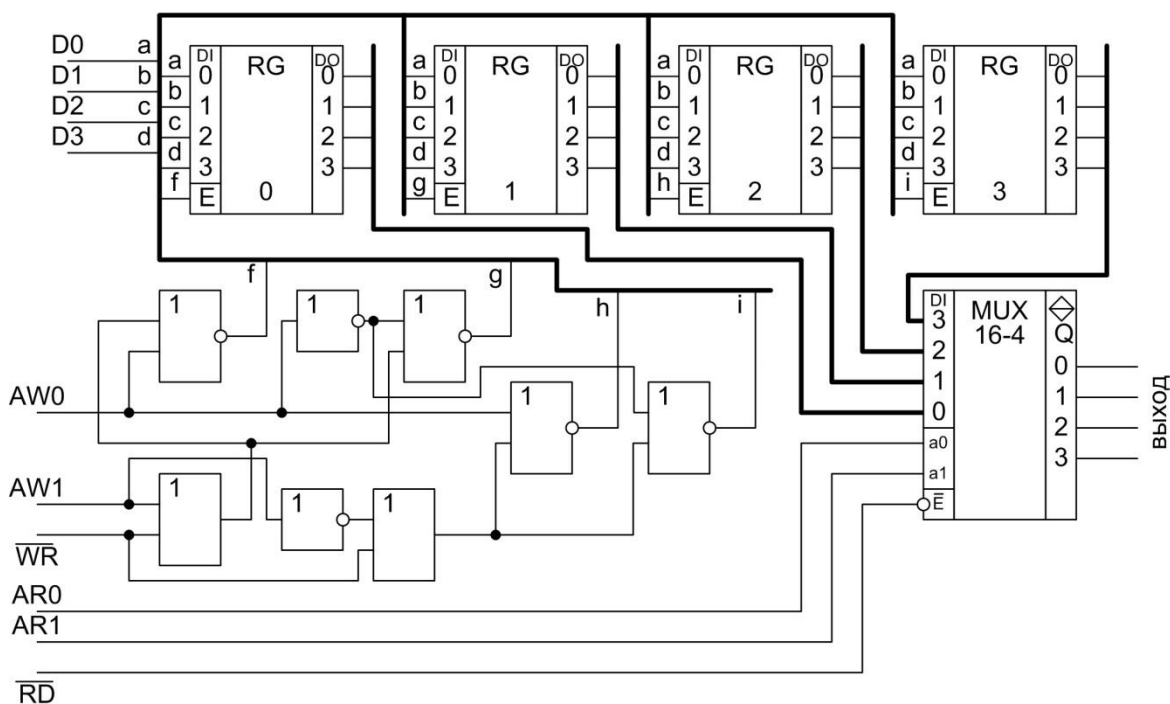
4.1.2. Регистровые файлы

ИС регистровых ЗУ входят в состав большинства серий, в том числе и микропроцессорные комплекты БИС в качестве регистров общего назначения (РОН) и многорежимных буферных регистров (МБР).

ЗУ на регистрах, построенных по схеме произвольного доступа, позволяет обращаться к любому регистру для записи или чтения данных. Они реализуются на параллельных регистрах. В отличие от них регистровое ЗУ с последовательным доступом для обращения к нужной информации требует перебор адреса в сторону увеличения или уменьшения адресов.

В качестве примера рассмотрим функциональную схему ИС ИР26 серии 1533 (рис. 4.4).

А)



Б)

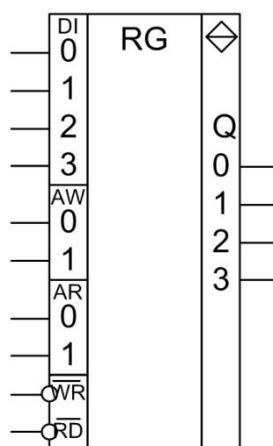


Рис. 4.4. K1533IP26: А – функциональная схема; Б – УГО

В данной ИС можно хранить четыре 4-х разрядных слова. Возможна независимая и одновременная запись одного слова и чтения другого по разным адресам. Информационные входы регистров соединены параллельно, входы адресов записи AW1 и AW0 дают четыре комбинации, каждая из которых разрешает занести данные, присутствующие на входах D0-3, в соответствующий регистр (AW1 – старший разряд адреса, AW0 – младший). Запись данных осуществляется при наличии логического нуля на входе $\overline{WR}$. При $\overline{WR} = 1$ – запись не производится. Рассматриваемая ИС асинхронная, т.е. запись и считывание данных осуществляется при наличии логического нуля на входах $\overline{WR}$ и $\overline{RD}$ соответственно. Считывание информации производят установкой адреса нужного регистра на адресных входах AR1 и AR0, где AR1 – старший разряд, а AR0 – младший. Чтение данных возможно только при $\overline{RD} = 0$, если $\overline{RD} = 1$, то выходы ИС переводятся в высокоимпедансное состояние. Разделение адресов AW и AR позволяет одновременно осуществлять запись в один регистр, а считывать с другого. Таким образом, ИС может работать в четырёх режимах: запись слова в любой из регистров, считывание слова из любого регистра, одновременная запись слова в любой из регистров и считывание слова из любого регистра, хранение информации при $\overline{WR} = 1$ и $\overline{RD} = 1$.

Такие ИС допускают объединение одноимённых входов и выходов для наращивания разрядности регистров и объёмов. Поскольку выходные каскады с 3-мя состояниями, то одноимённые выходы отдельных ИС просто объединяются (до 128 ИС). При наращивании разрядности хранимых слов в ИС соединяют параллельно входы разрешения и адресации нескольких ИС, выходы которых в совокупности дают единое информационное слово.

4.1.3. Построение памяти нужного объёма на стандартных ИС

На практике встречаются три типа задач:

1. Нарращивание разрядности хранимых слов.
2. Нарращивание числа хранимых слов.
3. Нарращивание разрядности и числа хранимых слов.

Первая задача (наращивание разрядности хранимых слов) решается параллельным включением ИС с объединением разрешающих и адресных входов. Таким образом, наращивание размерности хранимых слов не требует дополнительных аппаратных затрат, кроме ИС ЗУ (рис. 4.5).

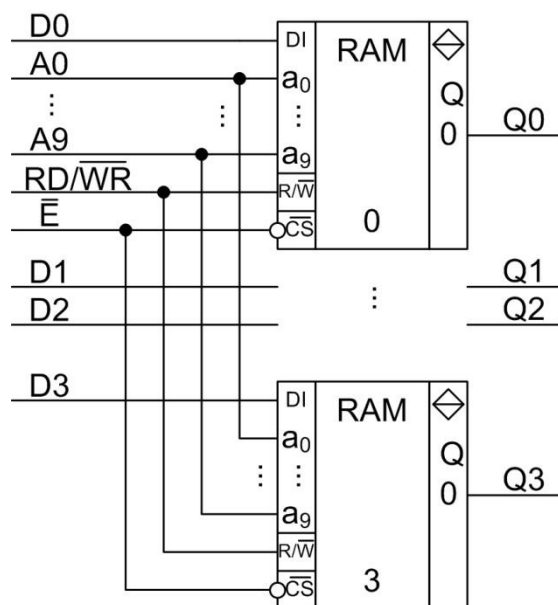


Рис. 4.5. Нарращивание разрядности хранимых слов

Количество хранимых в памяти слов однозначно связано с разрядностью используемого адресного слова, поэтому для увеличения количества хранимых слов необходимо увеличить разрядность шины адреса. Такое расширение обеспечивается за счёт использование дешифратора, на который подаются старшие разряды адреса, а выходы дешифратора выбирают ИС ЗУ, которая будет работать – остальные ИС ЗУ будут находиться в третьем состоянии.

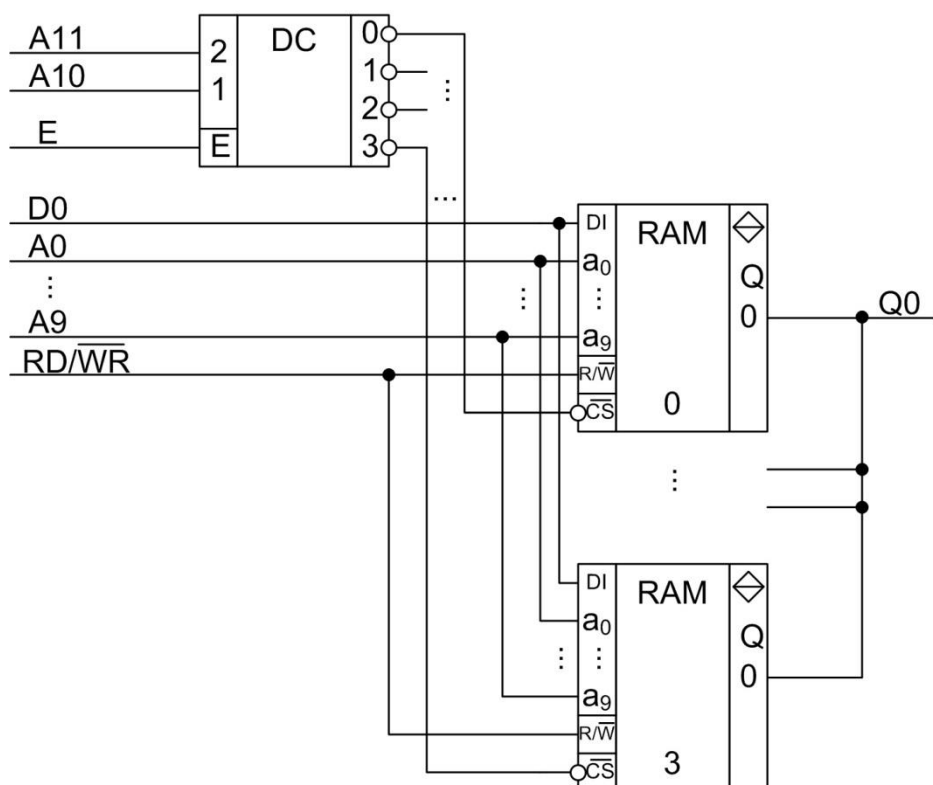


Рис. 4.6. Увеличение количества хранимых слов

На рис. 4.6. рассмотрен пример построение ЗУ 4К к 1 на ИС 1К к 1. Для обращения к объёму памяти 4К необходимо 12-ти разрядное адресное слово. Старшие разряды (A11 и A10) подаются на дешифратор, выходы которого подсоединяются к разрешающим входам соответствующих ИС ЗУ.

В общем случае при наращивании числа хранимых слов определяется требуемая разрядность адреса, выбирается доступная ИС ЗУ, определяется требуемое количество ИС и разность разрядов обрабатывается с помощью дешифратора, для этого выбирается соответствующий дешифратор и строится схема.

Наращивание разрядности и числа хранимых слов осуществляется одновременным использованием предыдущих методов. На рис. 4.7. приведён пример построение ЗУ 4К к 4 на ИС 1К к 1.

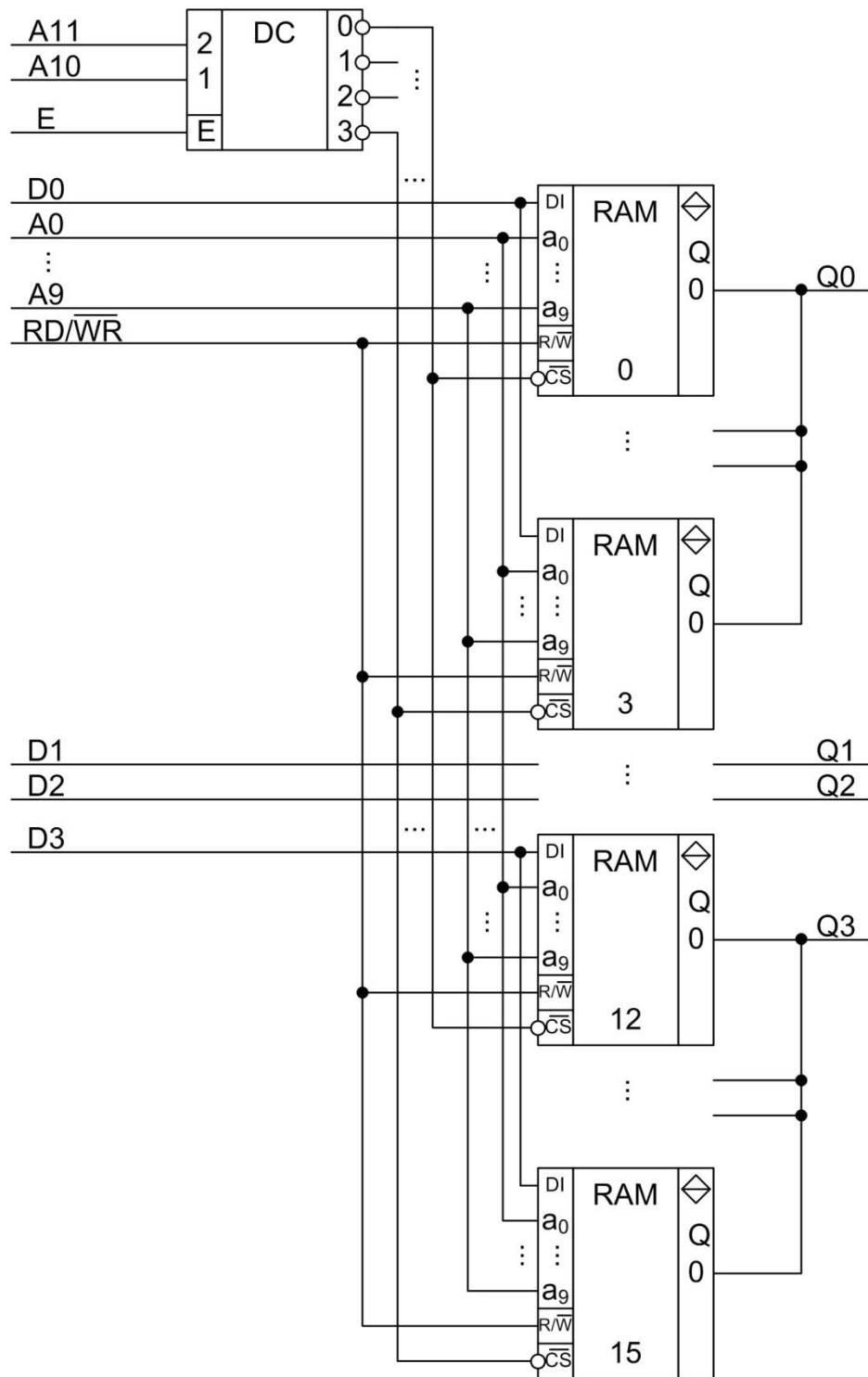


Рис. 4.7. Увеличение разрядности и количества хранимых слов

4.2. Счётчики

4.2.1. Назначение, классификация счётчиков

Счётчики предназначены для регистрации числа поступивших на счётчик сигналов и деления частоты. В них выполняются и такие микро-операции как установка в исходное состояние, хранение и выдача слов.

Счётчик характеризуется модулем счёта M (тоже самое, что и коэффициент пересчёта K). Счётчик переходит из состояния в состояние при поступлении входных сигналов, после каждых M сигналов счётчик возвращается к началу цикла. Счётчики различают:

По значению модуля счёта:

- двоичные ($M=2^n$), где n – разрядность счётчика;
- двоично-кодированные (с произвольным модулем счёта M , но с кодированием состояний двоичным кодом);
- счётчики с одинарным кодированием (счётчики Джонсона).

По направлению счёта:

- суммирующие (прямого счёта);
- вычитающие (обратного счёта);
- реверсивные (с изменяемым направлением счёта).

По способу организации межразрядных связей:

- с последовательным переносом;
- с параллельным переносом;
- с комбинированным переносом;
- со сквозным переносом.

Быстродействие счетчика можно охарактеризовать следующими параметрами:

- временем установления кода t_K , отсчитываемым от начала входного сигнала, до момента установления нового состояния. $F_{max}=1/t_K$.
- временем распространения переноса – от начала поступления входного сигнала до начала выходного, вызванного данным входным.

В основном счётчики строят на основе T -триггеров и всего, что можно превратить в T -триггер.

4.2.2. Двоичные счетчики

Структуру двоичного счётчика можно получить эвристическим путём или методом формального синтеза. Работа счётчика задаётся таблицей истинности (табл. 4.1), каждое состояние кодируется двоичным числом от 0 до $M-1$.

Таблица 4.1.

Таблица истинности суммирующего счётчика

№ сигнала	Q2	Q1	Q0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Триггер младшего разряда должен переключаться от одного входного сигнала. Триггер разряда $Q1$ должен переключаться через 2 входных сигнала, а $Q2$ через 4 (рис. 4.8). Поскольку частота переключения снижается вдвое, поэтому триггер может быть построен как цепочка последовательных T -триггеров. Далее старший разряд должен изменяться при переключении младшего разряда из 1 в 0.

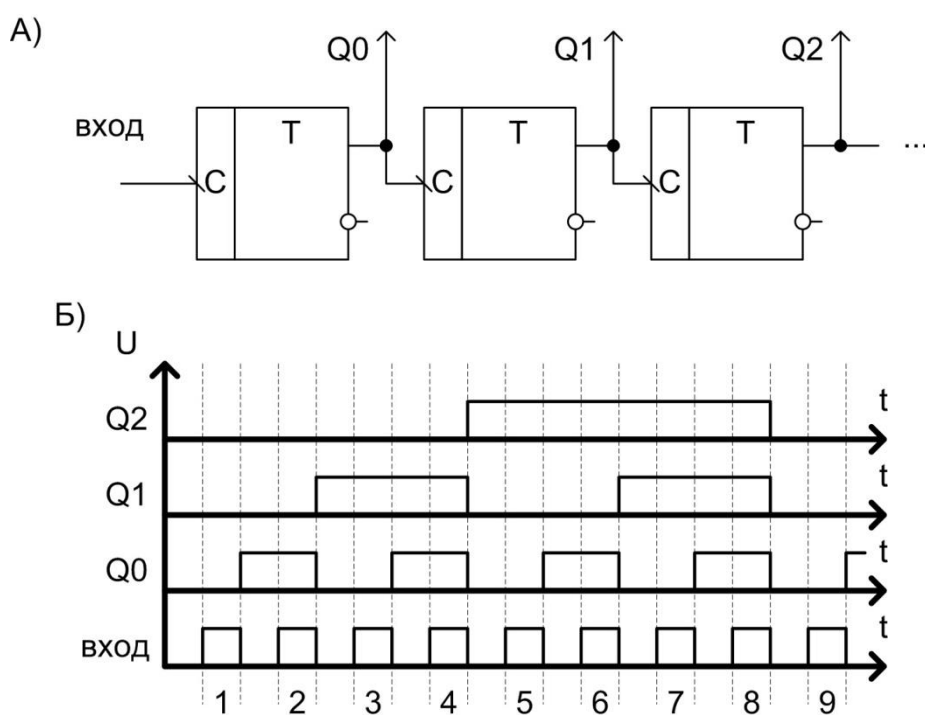


Рис. 4.8. Суммирующий счётчик: А – функциональная схема; Б – временные диаграммы работы

Представление счётчика цепочкой T -триггеров справедливо как для суммирующего, так и для вычитающего вариантов, поскольку закономерность по соотношению частот переключения разрядов сохраняется

как при просмотре таблицы сверху вниз (прямой счёт), так и снизу вверх (обратный счёт). Различия при этом состоят в направлении переключения предыдущего разряда, вызывающего переключение следующего. При прямом счёте следующий разряд переключается при переходе предыдущего в направлении от 1 к 0, а при обратном – при переключении от 0 к 1, то есть различие заключается в разном подключении входов триггеров к выходам предыдущих (рис. 4.9).

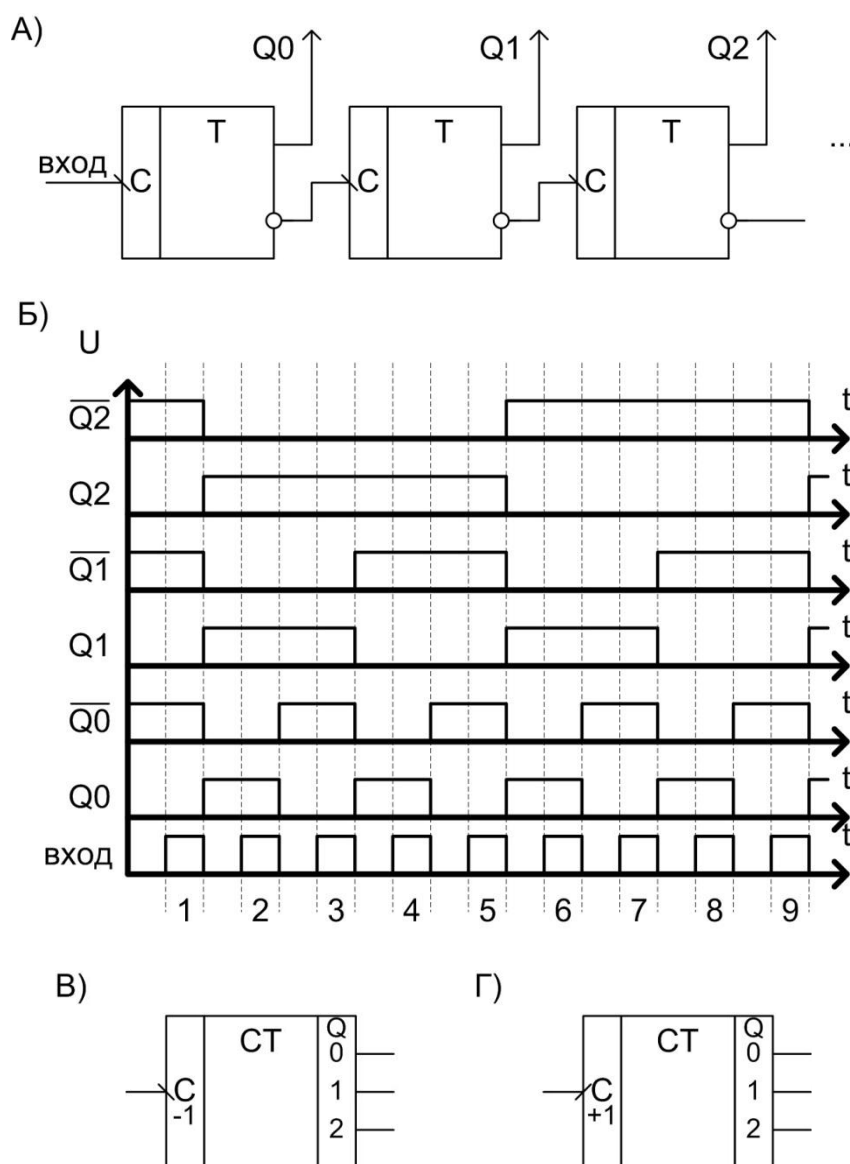


Рис. 4.9. Вычитающий счётчик: А – функциональная схема; Б – временные диаграммы работы. В – УГО вычитающего счётчика; Г – УГО суммирующего счётчика

Полученные структуры относят к асинхронным счетчикам, т.к. в них каждый триггер переключается выходным сигналом предыдущего, и эти переключения происходят не одновременно.

4.2.3. Методы повышения быстродействия счетчиков

Быстродействие счётчиков может характеризоваться следующими параметрами:

- время установления кода t_K , подсчитываемое от начала входного сигнала до момента установления нового состояния;
- максимальная частота входных сигналов: $F_c = 1/t_K$;
- время распространения переноса (от начала входного до начала выходного).

Для улучшения быстродействия счётчиков применяются различные методы.

Счётчик с параллельным переносом (рис. 4.10).

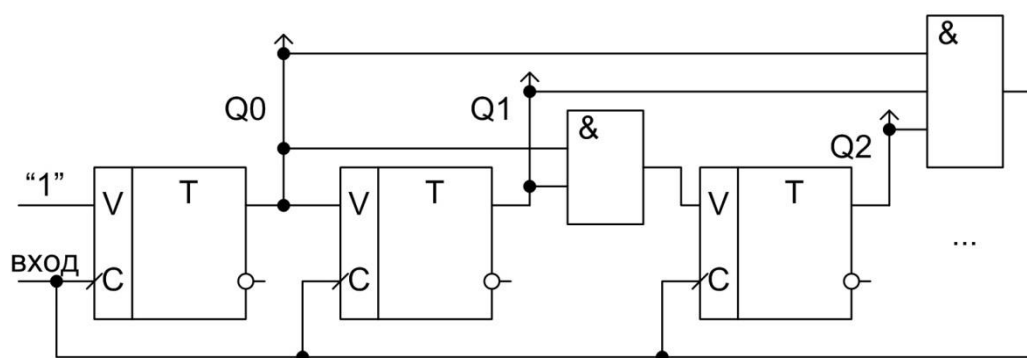


Рис. 4.10. Функциональная схема счётчика с параллельным переносом

Достоинством схемы счётчика с параллельным переносом является достижение максимального быстродействия.

Недостатком данной схемы является ограниченное количество разрядов по причинам:

- схема «И», как правило, имеет не более 8 входов;
- младший разряд нагружается на все последующие, а значит количество последующих разрядов ограничено его нагрузочной способностью;
- разная нагрузочная способность у выходов счётчика (разрядов).

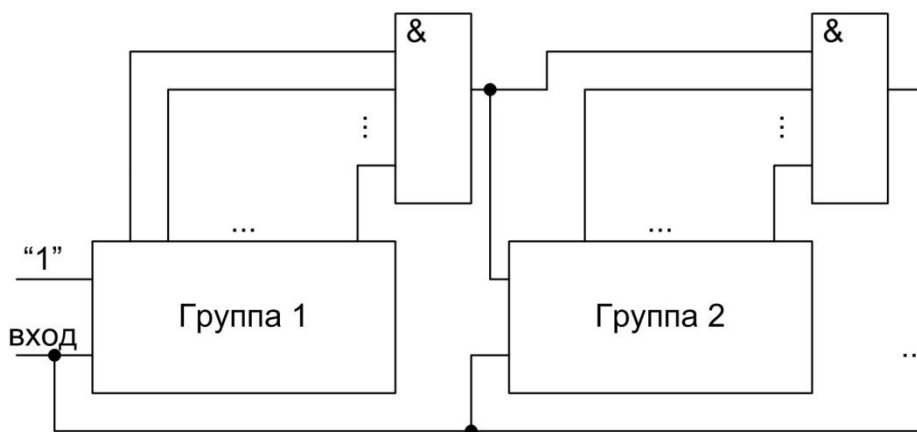


Рис. 4.11. Функциональная схема счётчика с групповым переносом

Счётчик с параллельно- последовательным (комбинированным) переносом (рис. 4.11).

В качестве группы используется группа счётчиков с параллельным переносом.

Счётчик со сквозным переносом (рис. 4.12).

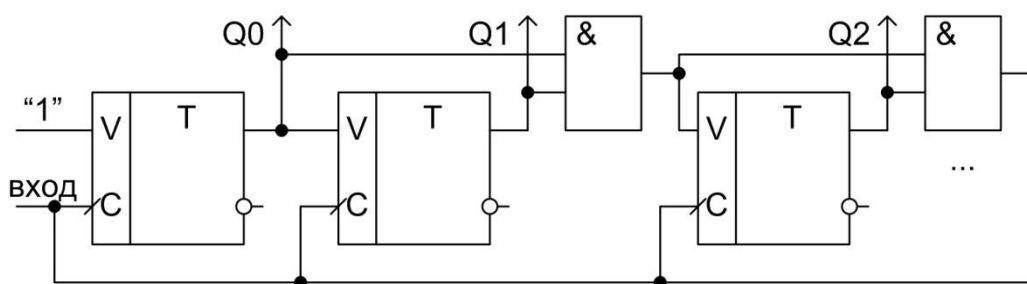


Рис. 4.12. Функциональная схема счётчика со сквозным переносом

4.2.4. Реверсивные счётчики

Такие счётчики изменяют направление счёта под воздействием управляющего сигнала или при смене точки подачи входного сигнала.

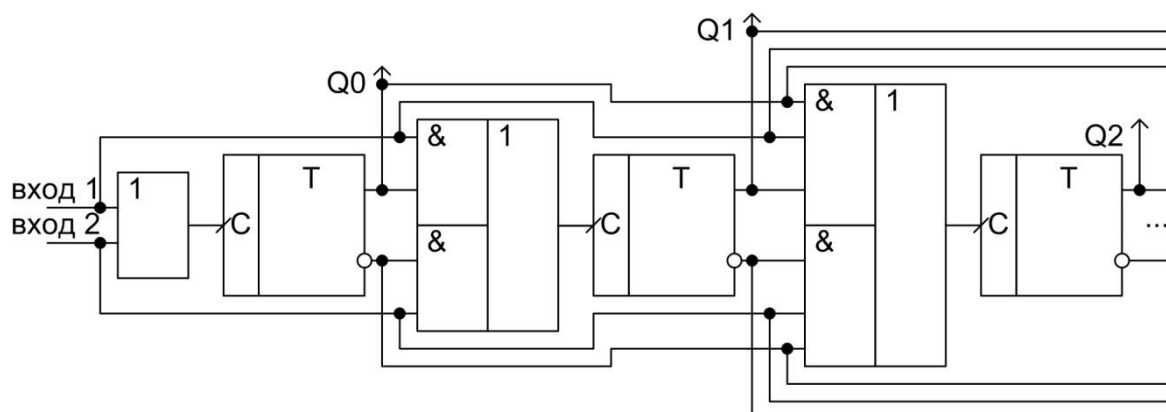


Рис. 4.13. Функциональная схема реверсивного счётчика

Построение реверсивного счетчика идёт путём переноса точки съёма сигнала с триггера на противоположный выход под действием управляющего сигнала и с помощью элемента И-ИЛИ (рис. 4.13).

4.2.5. Двоично-кодированные счётчики с произвольным модулем счёта

Двоичные счётчики имеют модуль счёта (коэффициент пересчёта) равный 2^n , где n – любое натуральное число. Однако в практических задачах зачастую необходимо применить счётчики с коэффициентом пересчёта отличным от 2^n .

Построение таких счётчиков основано на исключении лишних устойчивых состояний, т.е. такие счётчики строятся на основе n -разрядного счётчика с естественным модулем счёта 2^n . Для исключения лишних состояний одним из способов используют обратную связь, устанавливающую счётчик в исходное состояние при достижении желаемого коэффициента пересчёта (рис. 4.14).

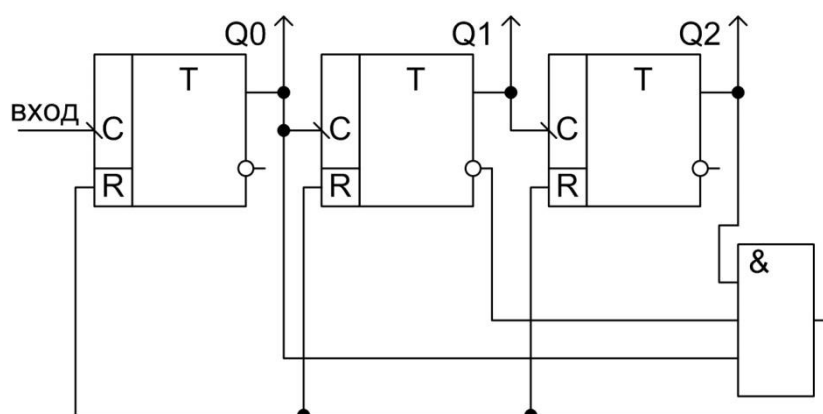
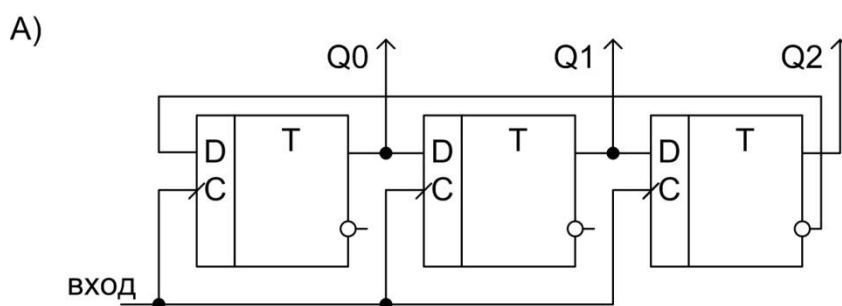


Рис. 4.14. Функциональная схема счётчика с изменённым модулем счёта

4.2.6. Счётчики с не двоичным кодированием

Счётчик Джонсона – это кольцевой регистр с перекрёстной обратной связью, которая замкнута на вход первого регистра с инверсией выходного сигнала (рис. 4.15). Количество устойчивых состояний у такого счётчика равно $2n$, где n – количество триггеров.



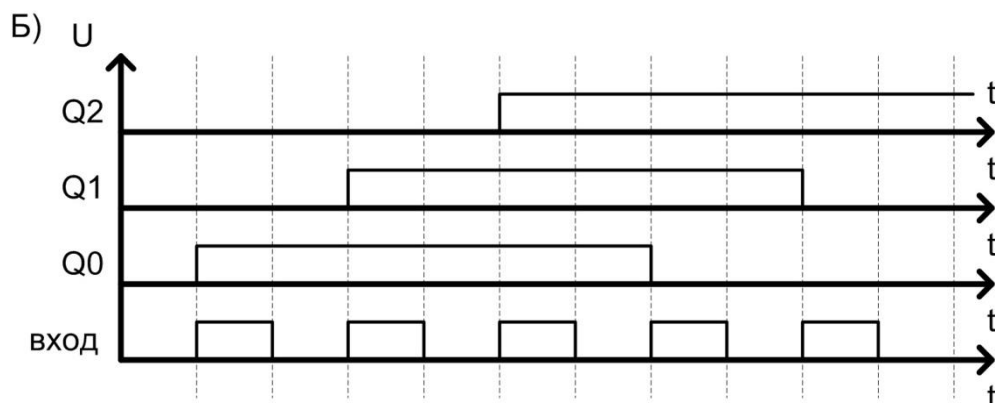


Рис. 4.15. Счётчик Джонсона: А – функциональная схема; Б – временные диаграммы работы

Работа схемы: при нулевом исходном состоянии триггеров на вход D первого триггера подаётся логическая единица с инверсного выхода $\overline{Q_2}$ третьего триггера. При появлении переднего фронта на входе «вход» первый триггер меняет своё состояние на единичное (режим установка в 1). На остальных триггерах отработал режим установка в 0. С появлением второго переднего фронта на входе меняется режим на втором триггере с установки в ноль на режим установки в 1. Таким образом с приходом второго импульса 1 и 2 триггеры отработали режим установки в 1, оставшийся триггер отработал режим установки в 0. С приходом 3 импульса все триггеры переключатся в единичное состояние. Начиная с 4 импульса и заканчивая 6 импульсом, триггеры поочерёдно переключаются обратно в нулевое состояние (табл. 4.2).

Таблица 4.2.

Таблица истинности 3-х разрядного счётчика Джонсона

№ сигнала	Q2	Q1	Q0	Формула
0	0	0	0	$\overline{Q_2} \cdot \overline{Q_0}$
1	0	0	1	$\overline{Q_1} \cdot Q_0$
2	0	1	1	$\overline{Q_2} \cdot Q_1$
3	1	1	1	$Q_2 \cdot Q_0$
4	1	1	0	$Q_1 \cdot \overline{Q_0}$
5	1	0	0	$Q_2 \cdot \overline{Q_1}$

По формулам в табл. 4.2 на основе 3-х разрядного счётчика Джонсона строится счётчик с недвоичным кодированием 1 из N , который имеет $2n$ выходов. Наличие единицы на одном из выходов указывает, сколько данный счётчик посчитал импульсов на входе (рис. 4.16).

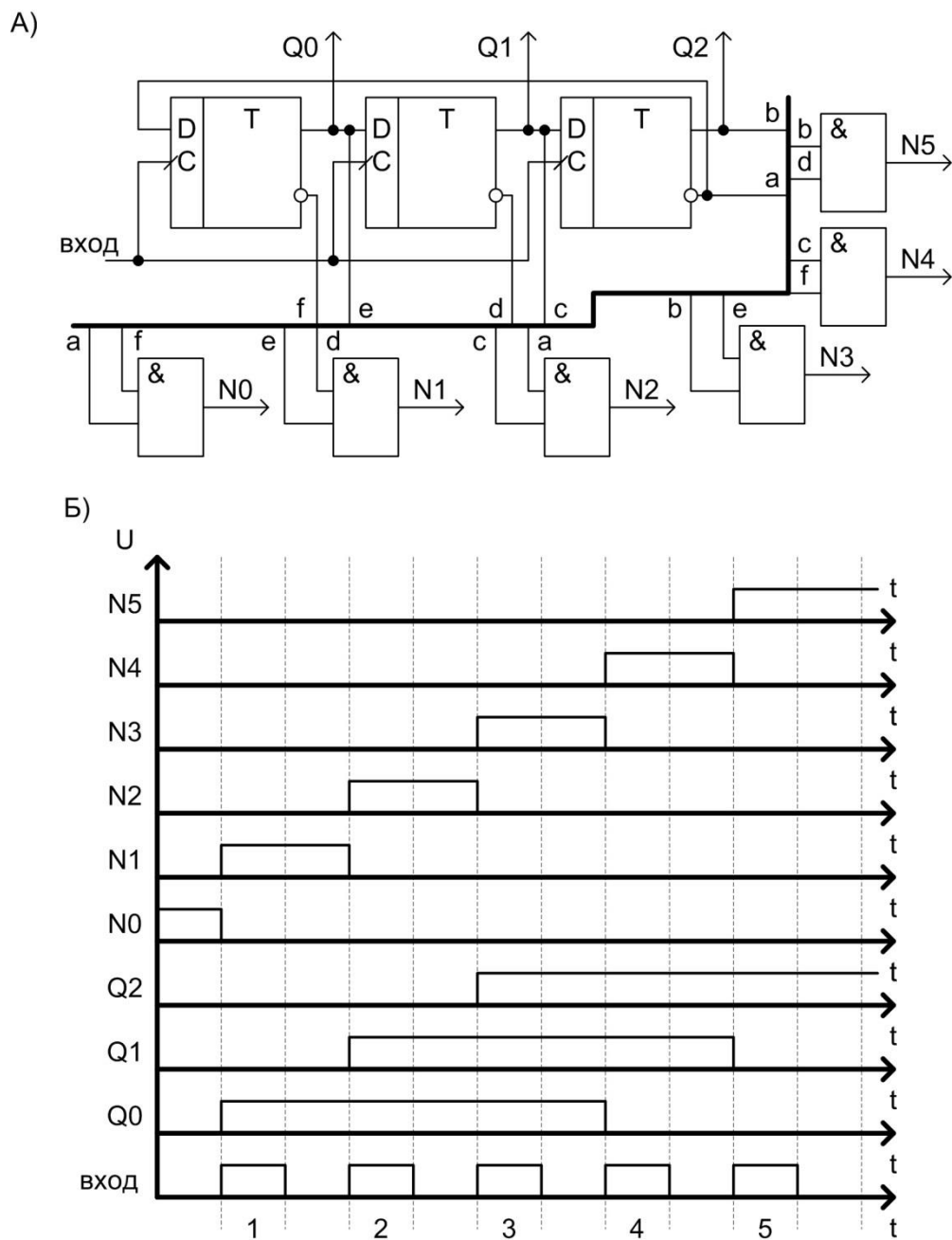


Рис. 4.16. Счётчик 1 из N: А – функциональная схема; Б – временные диаграммы работы

4.3. Синхронизация

Синхронизация и тактирование – важнейшие процессы, обеспечивающие корректную работу цифровых устройств.

Под тактированием подразумевается выработка командных сигналов для выполнения действий, операций.

Синхронизация относится к временному согласованию взаимодействующих сигналов.

4.3.1. Синхронизация цифровых устройств со статическим управлением

D-триггер с прямым статическим управлением постоянно запоминает входной сигнал D и через задержку t_Q выдаёт этот сигнал на выход Q , если на входе СИ имеется уровень напряжения, соответствующий напряжению уровня логического нуля (рис. 4.17). Если на вход СИ подан логический ноль, то на выходе Q выдаётся последний сохранённый сигнал со входа D и при этом сигналы на входе D не могут влиять на выход Q .

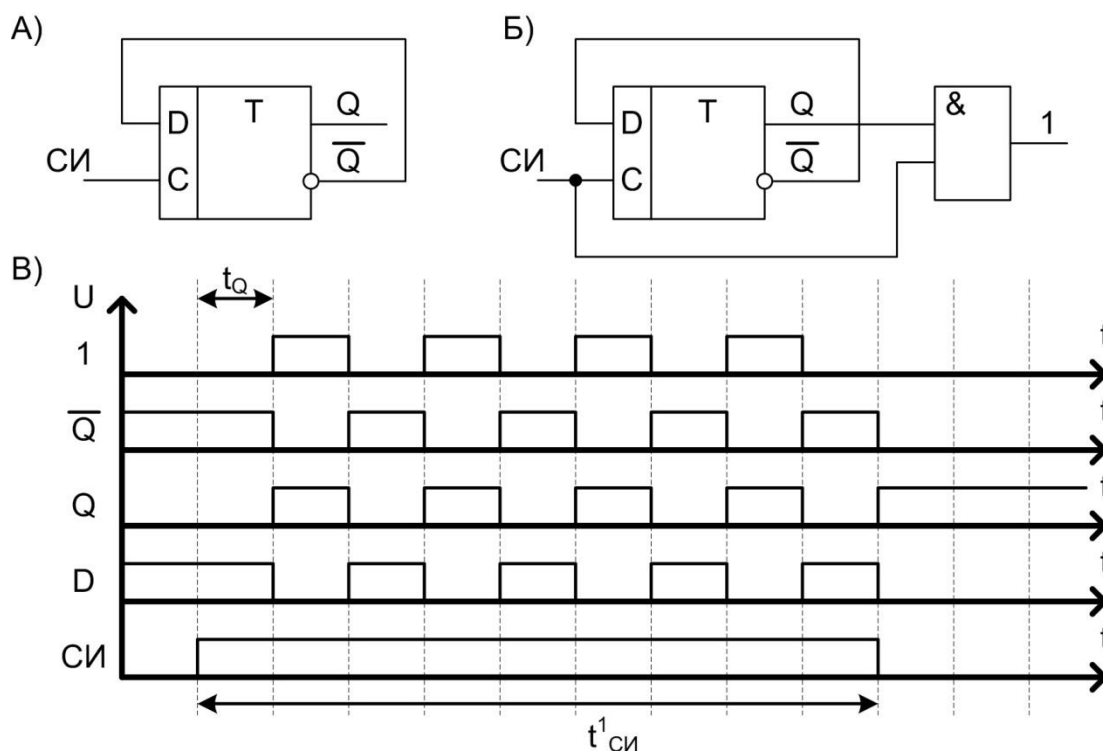


Рис. 4.17. А – кольцевая схема с D-триггером; Б – схема генерации серии импульсов; В – временная диаграмма работы схем

Длительность активного уровня СИ обязательно должна быть больше времени переключения триггера t_Q для корректной записи входного сигнала D . Кольцевая схема на D-триггере наглядно иллюстрирует постоянную запись входного сигнала D при наличии активного уровня сигнала на входе СИ. Если на выход такой схемы добавить ЛЭ 2И, на входы которого подать сигналы СИ и Q , то такая схема будет формировать на выходе серию коротких импульсов с периодом $2 t_Q$. Количество импульсов зависит от длительности активного уровня сигнала на входе СИ. Период серии импульсов можно увеличить, если между инверсным выходом триггера и его входом D поместить задержку.

Главной целью примера кольцевой схемы с D -триггером была не выработка тактирующих сигналов, а иллюстрация важности двух моментов:

- длительность $t_{\text{си}}^1$ должна быть больше времени переключения D -триггера для обеспечения его корректной работы;
- во время действия активного уровня сигнала на входе синхронизации D -триггера необходимо удерживать в одном уровне сигнал на входе D .

4.3.2. Синхронизация цифровых устройств с динамическим управлением

Триггеры с динамическим управлением имеют два важных параметра: время предустановки $t_{\text{п}}$ и время удержания $t_{\text{у}}$ (рис. 4.18).

$t_{\text{п}}$ – интервал времени до поступления активного фронта синхросигнала, в течение которого информационный сигнал должен оставаться неизменным.

$t_{\text{у}}$ – интервал времени в течение которого происходит воздействие активного фронта синхросигнала, в это время информационный сигнал также должен оставаться неизменным.

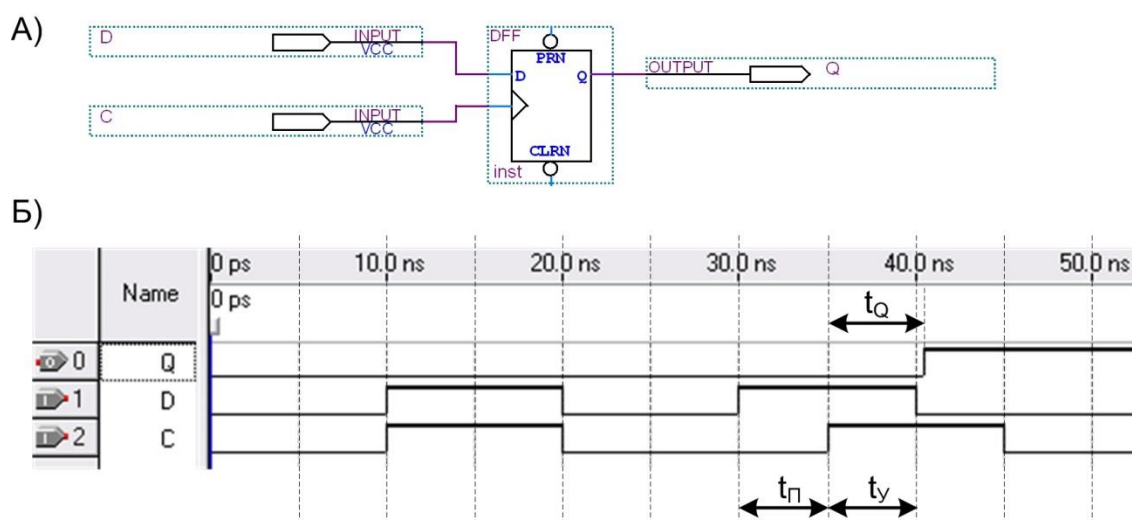


Рис. 4.18. А – схема динамического D -триггера; Б – временная диаграмма работы схем

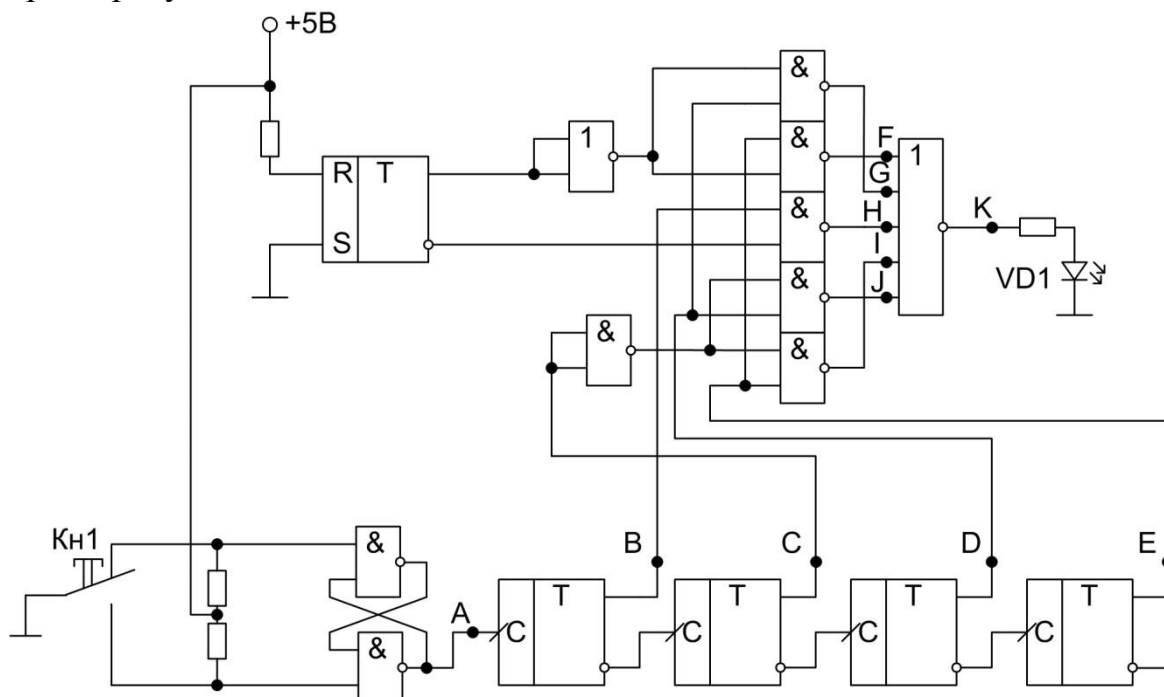
Соблюдение времени предустановки и удержания обеспечивает корректную запись динамическим триггером входной информации.

При проектировании цифровых устройств одной из важнейших задач является задача синхронизации работы отдельных частей, компонент устройства со входящими и вырабатываемыми сигналами. При этом наряду с параметрами $t_{\text{п}}$, $t_{\text{у}}$ и t_{Q} , также важными параметрами являются $t_{\text{си}}^1$ и $t_{\text{си}}^0$, где $t_{\text{си}}^1$ – длительность сигнала в состоянии логической еди-

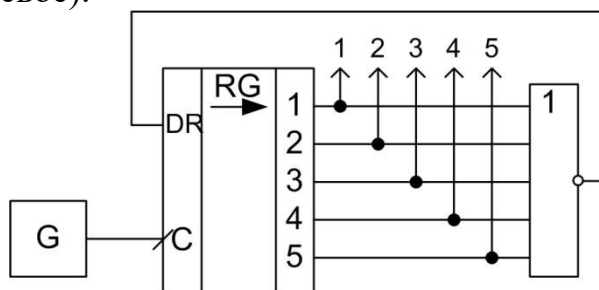
ницы, а $t_{\text{СИ}}^0$ – в состоянии логического нуля. Также немало важно учитывать различные по значению задержки всех компонент проектируемого устройства. Для ПЛИС важными параметрами также являются $t_{\text{РАС}}$ – время распространения сигнала от входа к выходу ПЛИС и $t_{\text{ПЕР}}$ – время переключения вентиля ПЛИС.

4.4. Контрольные вопросы

1. Нарисовать временные диаграммы для точек А–К. По временным диаграммам определить сколько раз нужно нажать кнопку Кн1 для того, чтобы светодиод VD1 загорелся. Примечание: изначально все Т-триггеры установлены в 0.

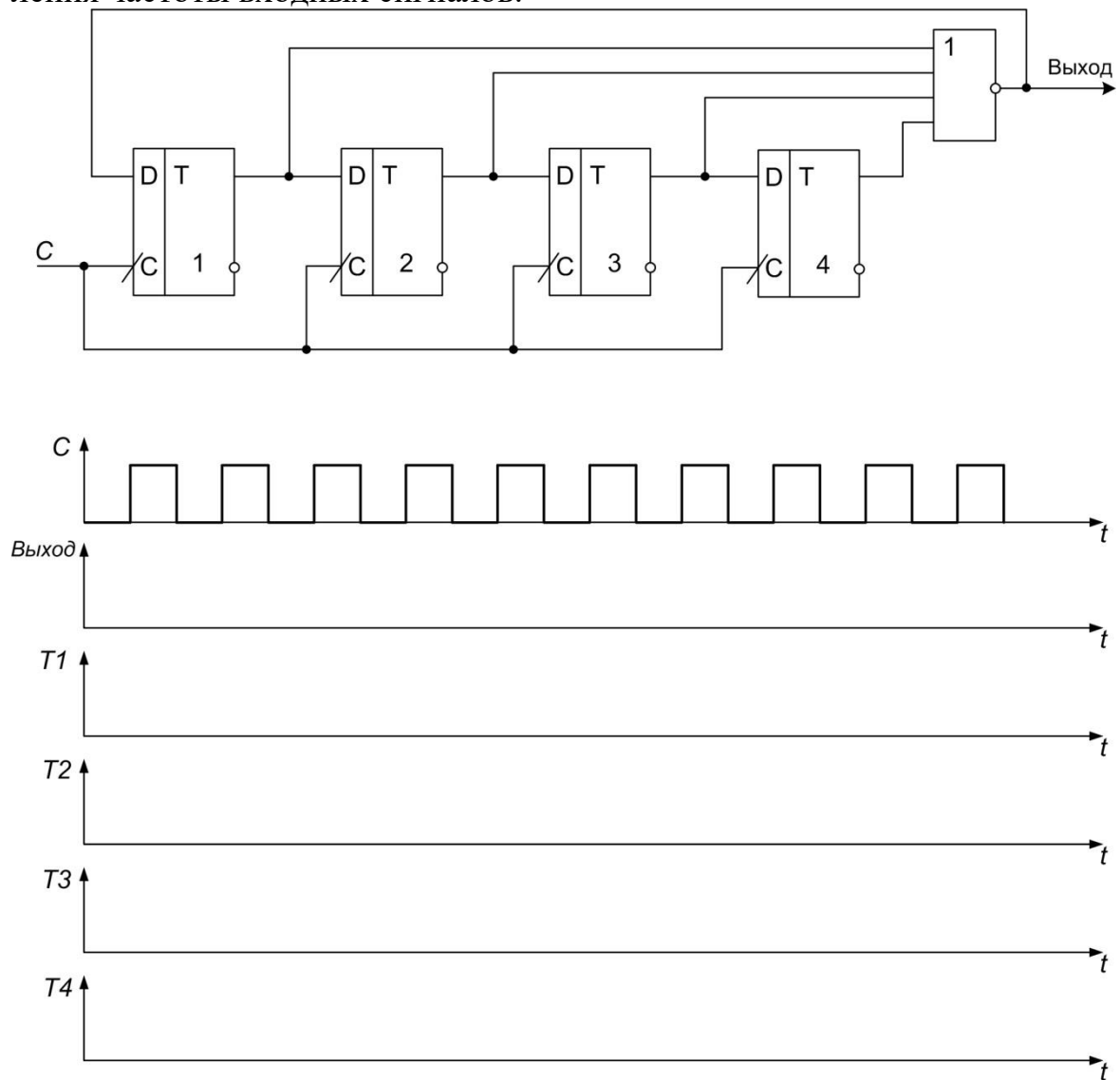


2. Нарисовать временные диаграммы на выходах 1, 2, 3, 4, 5 предлагаемой схемы, выполненной на элементах ТТЛШ, при выдаче генератором G девяти прямоугольных импульсов (за исходное состояние регистра принять нулевое).



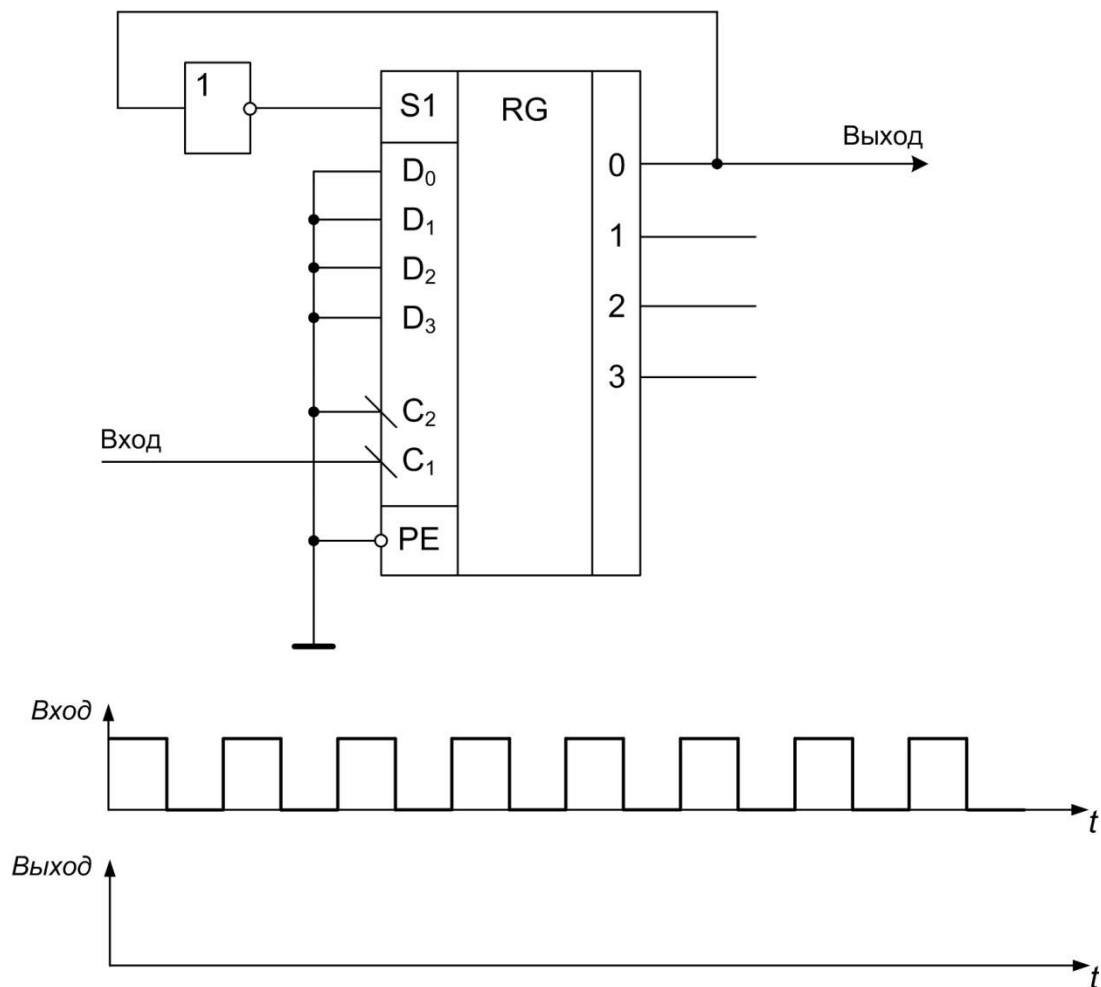
3. Используя временные диаграммы, поясните работу предложенной кольцевой схемы. Найдите состояние выходов после 7-го входного

импульса, если исходное состояние 0000. Определите коэффициент деления частоты входных сигналов.

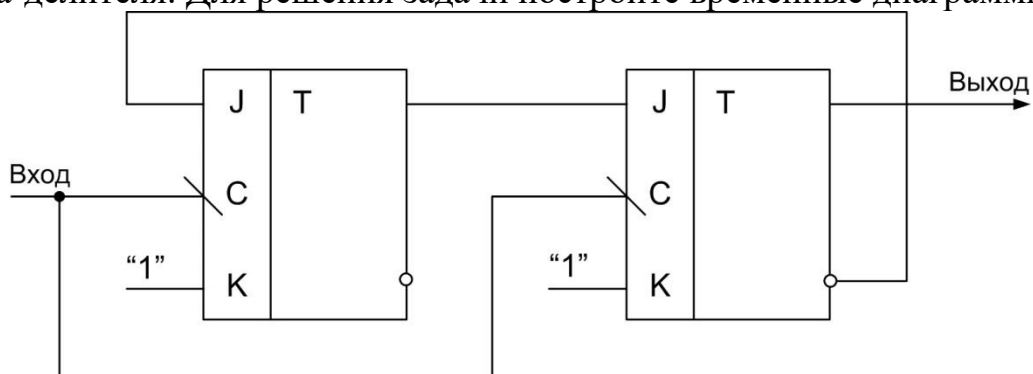


После 7-ми входных импульсов состояние триггеров будет $T1=$; $T2=$; $T3=$; $T4=$. Коэффициент деления равен $\frac{f_{ВХ}}{f_{ВЫХ}}$.

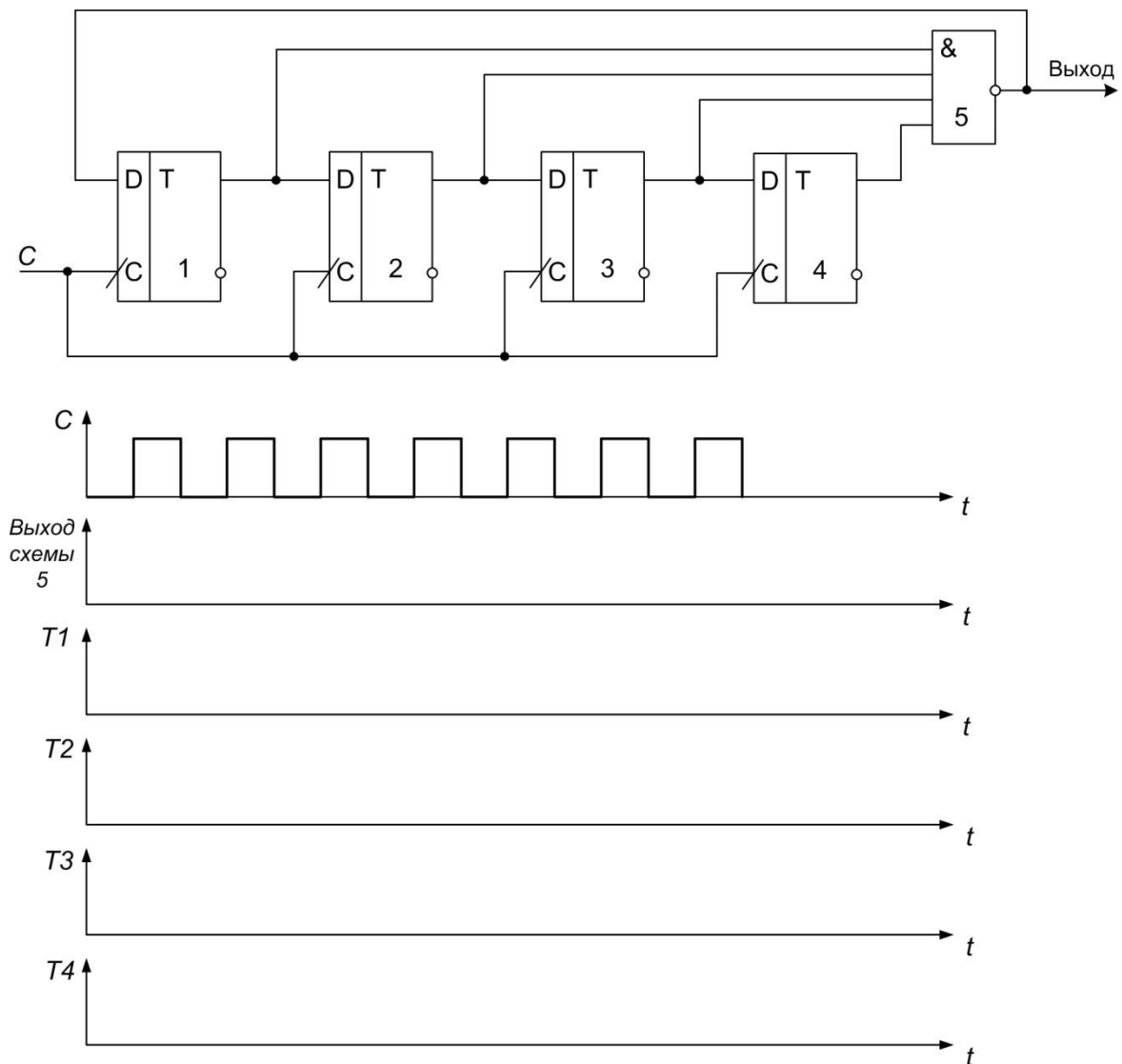
4. Постройте временные диаграммы и определите коэффициент деления частоты входной последовательности импульсов. За исходное состояние принять 0000.



5. Определите коэффициент деления предложенной схемы счётчика-делителя. Для решения задачи постройте временные диаграммы.

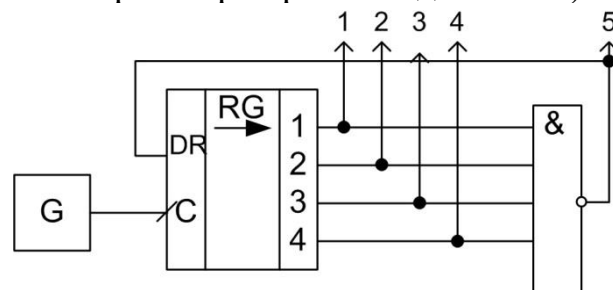


6. Используя временные диаграммы, поясните работу кольцевой схемы. Какое состояние выходов схемы будет после 7-го входного импульса, если исходное состояние 0000.

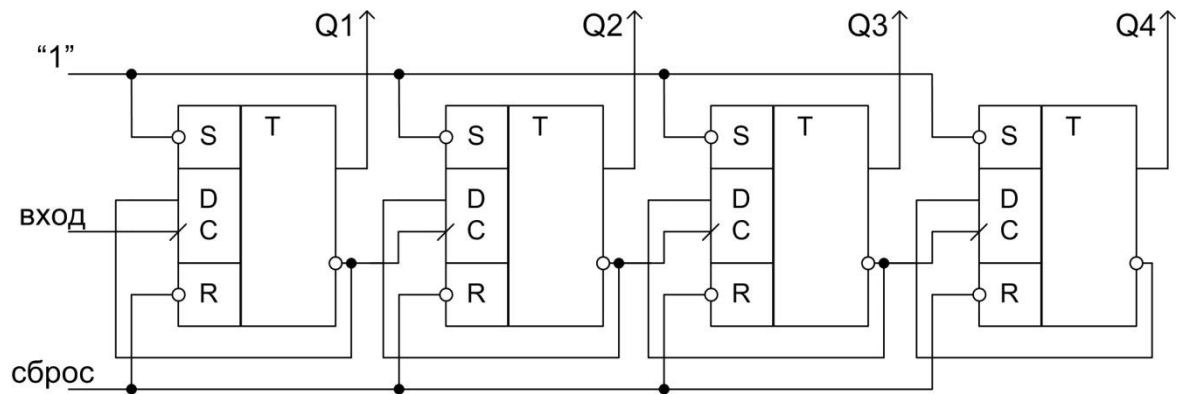


Состояние выходов $T1=$; $T2=$; $T3=$; $T4=$.

7. Нарисовать временные диаграммы на выходах 1, 2, 3, 4, 5 предлагаемой схемы, выполненной на элементах ТТЛШ, при выдаче генератором G периодической последовательности прямоугольных импульсов (за исходное состояние регистра принять единичное).

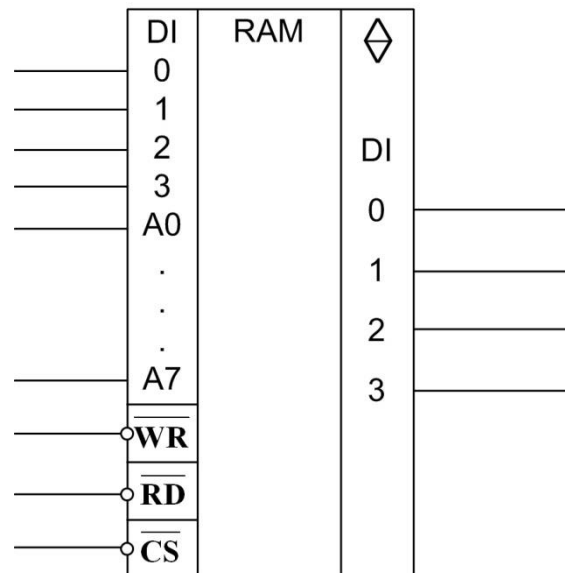


8. Нарисовать временные диаграммы и определить функциональное назначение схемы. Перед подачей входных сигналов все триггеры установлены в состояние «0».

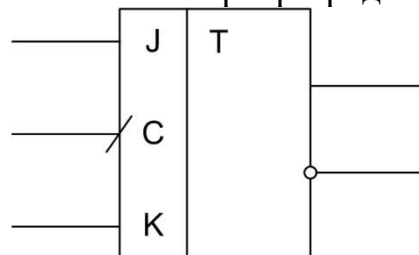


9. Построить из ИС K1533IP26 (УГО приведено на рис. 4.4.Б) ОЗУ ёмкостью 64 8-ми разрядных слов. Все режимы ИС сохранить.

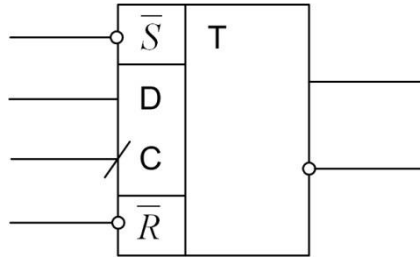
10. Имеются ИС памяти SRAM ёмкостью 256 4-разрядных слов (УГО приведено ниже). Спроектировать память на данных ИС ёмкостью 1024 8-разрядных слов. Необходимые СИС используйте по своему усмотрению.



11. Имеются JK-триггера (УГО приведено ниже). Постройте на них и требующихся логических ИС четырёхразрядный реверсивный регистр.



12. Имеется D-триггер с динамическим управлением (УГО приведено ниже). Постройте на нём и требующихся логических ИС 4-х разрядный реверсивный счетчик с последовательным переносом.



13. Опишите назначение входов «вход 1» и «вход 2» на рис. 4.13.
14. Нарисуйте временные диаграммы работы схемы, приведённой на рис. 4.13. Опишите и объясните требование к входному сигналу в данной схеме.

5. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА

К узлам комбинационного типа относятся мультиплексоры, демультиплексоры, дешифраторы, шифраторы, приоритетные шифраторы, сумматоры, АЛУ, компараторы (сравнители кодов), матричные умножители, схемы контроля (паритет, код Хэмминга), преобразователи кода и т.д.

5.1. Дешифраторы и шифраторы

5.1.1. Схемотехническая реализация двоичных дешифраторов

Дешифраторы относятся к преобразователям кодов (кодирующим устройствам). Кодирующим устройством называют логический узел, преобразующий многоразрядный входной код в выходной код, построенный по иному закону. Название условно, поскольку любое устройство преобразует некоторый входной код в некоторый выходной, т.е. является кодовым преобразователем.

Двоичным дешифратором или декодером (от англ. слова decoder) чаще всего называют кодирующее устройство, преобразующее двоичный код в код «1 из N ». Из всех m выходов дешифратора активный уровень имеется только на одном, а именно на том, номер которого равен поданному на вход двоичному числу. На всех остальных выходах дешифратора уровни напряжения неактивные. Условное изображение дешифратора на схемах показано на рис. 5.1.

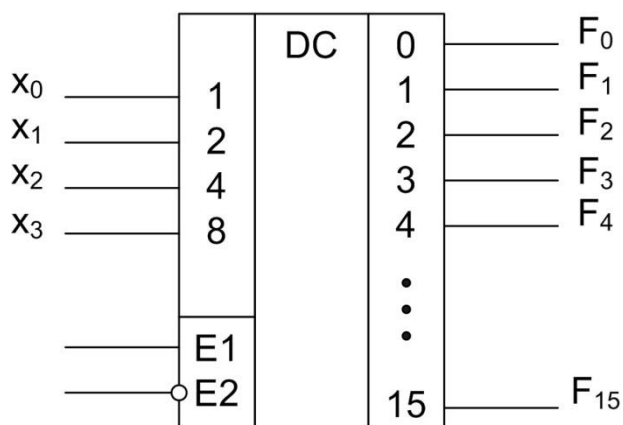


Рис. 5.1. Условное обозначение двоичного дешифратора

Если дешифратор имеет n входов, m выходов и использует все возможные наборы входных переменных, то $m = 2^n$. Такой дешифратор называют полным в отличие от неполного, использующего лишь часть

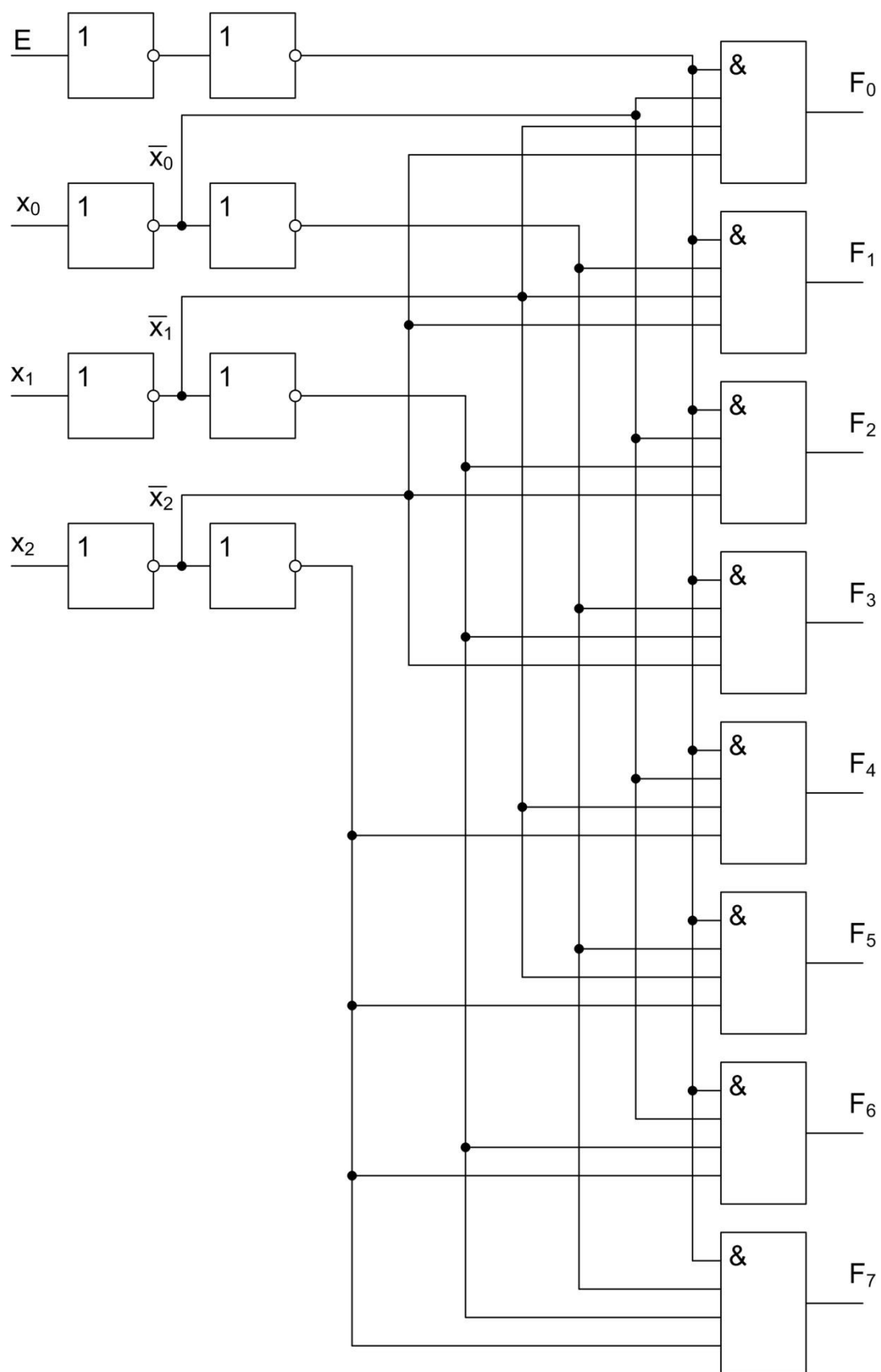


Рис. 5.2. Схема дешифратора «3-8» на элементах И

Это сделано для того, чтобы свести к единице кратность нагрузки, которую представляет вход дешифратора для источника сигнала.

В сериях ИС дешифратор либо строят из элементов И-НЕ и на его выходах вырабатываются инверсии функций F_i , т.е. активным уровнем будет низкий. Ликвидировать инверсии на выходах можно или подключив инверторы или построив дешифратор на элементах ИЛИ-НЕ. Число входных инверторов при этом не изменится.

Время установления выходного сигнала дешифратора $t_{DC} = 3\tau_{\zeta}$, где τ_{ζ} – задержка сигнала в логическом элементе.

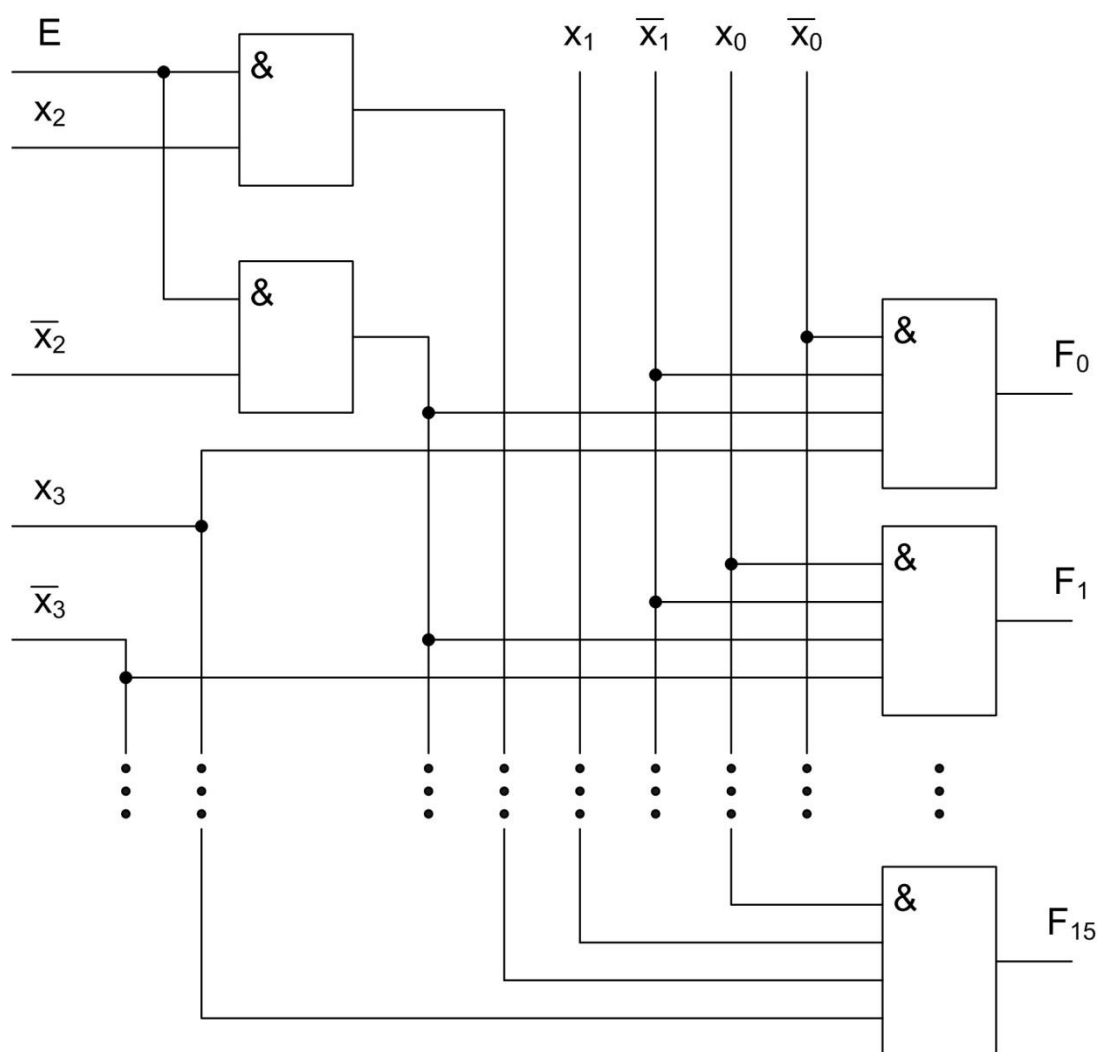


Рис. 5.3. Фрагмент схемы дешифратора «4-16» с управлением по одной из переменных

Отсюда видно, что дешифратор относится к числу быстродействующих элементов. Рассмотренный вариант подключения разрешающего входа не вносит дополнительной задержки, но требует увеличения на

единицу числа входов конъюнкторов. Поскольку быстроедействие дешифратора достаточно велико, может использоваться другой вариант подключения разрешающего входа, имеющий задержку 4τ .

На рис. 5.3 приведён фрагмент схемы с управлением по одной переменной.

Вариант основан на том, что в дешифраторе не найдется ни одного конъюнктора, к которому любая переменная не была бы подключена или в прямой или в инверсной форме. Поэтому, если и в прямой и в инверсный тракты любой входной переменной поставить элементы И и завести на них сигнал E , то при $E=0$ будут заперты абсолютно все конъюнкторы, формирующие выходные функции.

Как известно, корпуса ИС с большим числом выводов изготавливать сложно и они дороги. С этой точки зрения дешифраторы относятся к крайне неудачным схемам, так как у них при простой внутренней структуре и малом числе схемных элементов много внешних выводов. Для размещения в обычном недорогом корпусе подходит только дешифратор с 4 адресными входами «4-16». Более «размерных» дешифраторов в сериях ИС нет.

Дешифраторы, выпускаемые в виде отдельных ИС, имеют буквенное обозначение ИД. В сериях ТТЛШ, в которых элементы И-НЕ наиболее технологичны, дешифраторы обычно имеют инверсные выходы. В КМОП-сериях, где элементы ИЛИ-НЕ не менее технологичны, чем И-НЕ, дешифраторы чаще имеют прямые выходы.

5.1.2. Нарращивание размерности дешифратора при использовании ИС

Малоразрядность стандартных дешифраторов ставит вопрос о наращивании их разрядности. Из малоразрядных серийно выпускаемых дешифраторов можно построить схему, эквивалентную дешифратору большей разрядности. Для этого входной адрес делится на поля. Разрядность поля младших разрядов соответствует числу входов имеющихся дешифраторов. Оставшееся поле старших разрядов служит для получения сигналов разрешения работы одного из дешифраторов, декодирующих поле младших разрядов.

В качестве примера на рис. 5.4 приведена схема дешифратора «5-32», построенного на серийных дешифраторах «2-4» и «3-8».

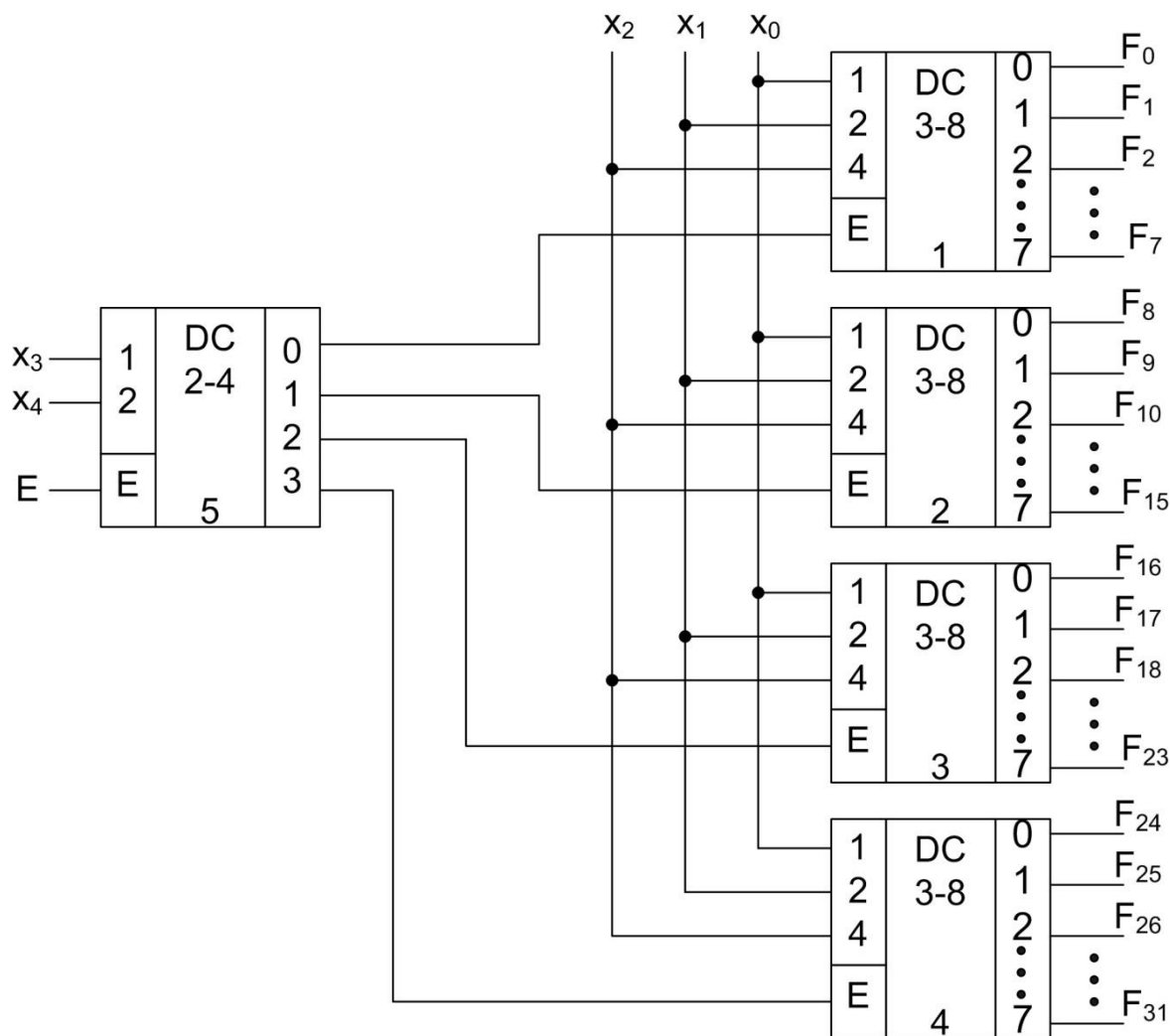


Рис. 5.4. Схема наращивания размерности двоичного дешифратора

Два старших разряда адреса расшифровываются дешифратором «2-4». Возбужденный единичный выход этого дешифратора отпирает один из дешифраторов «3-8» по входу E . Выбранный дешифратор «3-8» расшифровывает три младших разряда адреса.

Каждому входному адресному слову соответствует возбуждение только одного выхода. Так, при поступлении кода $x_4x_3x_2x_1x_0=01111_2=15_{10}$ у $DC5$ сигнал появится на выходе 1 и по входу E будет открыт $DC2$. Остальные дешифраторы второго каскада будут заперты. Разряды $x_2x_1x_0=111$ вызовут появление 1 на выходе 7 дешифратора $DC2$, т.е. на выходе F_{15} всего составного дешифратора, что соответствует поступившему слову. Общее разрешение или запрещение работы схемы осуществляется по входу E дешифратора первого каскада $DC5$.

В рассмотренном примере 5-разрядный адрес был разбит на две группы в 2 и 3 разряда, и это определило структуру всей схемы. В общем

случае многоразрядный адрес можно разбить на группы различными способами, и каждому способу будет соответствовать свой вариант схемы многокаскадного (не обязательно двухкаскадного) дешифратора. Варианты будут отличаться задержкой и аппаратными затратами.

Как ранее отмечалось, в интегральных микросхемах дешифраторов часто имеется несколько разрешающих входов, а разрешающей комбинацией является их конъюнкция. При этом удобно создавать дешифраторы требуемой размерности, используя каскадный принцип и строя первый каскад дешифрации не на отдельном специальном дешифраторе, а собирая его из конъюнкторов разрешающих входов. На рис. 5.5 приведена схема дешифратора «5-32», построенного из четырех микросхем «3-8». Каждая ИС имеет два инверсных разрешающих входа E_1 и E_2 . Знак & над символами E_1 и E_2 обозначает, что разрешение существует лишь при совпадении всех сигналов группы входов, помеченной знаком &. На рис. 5.5 символы инверсии указывают на совпадение двух низких уровней на входах разрешения. Дешифратор первого каскада создан из конъюнкторов разрешающих входов четырех микросхем. Такое решение – иметь несколько разрешающих входов, связанных операцией И, чтобы собирать на этих входах фрагменты дешифраторов, вообще типично для современных микросхем.

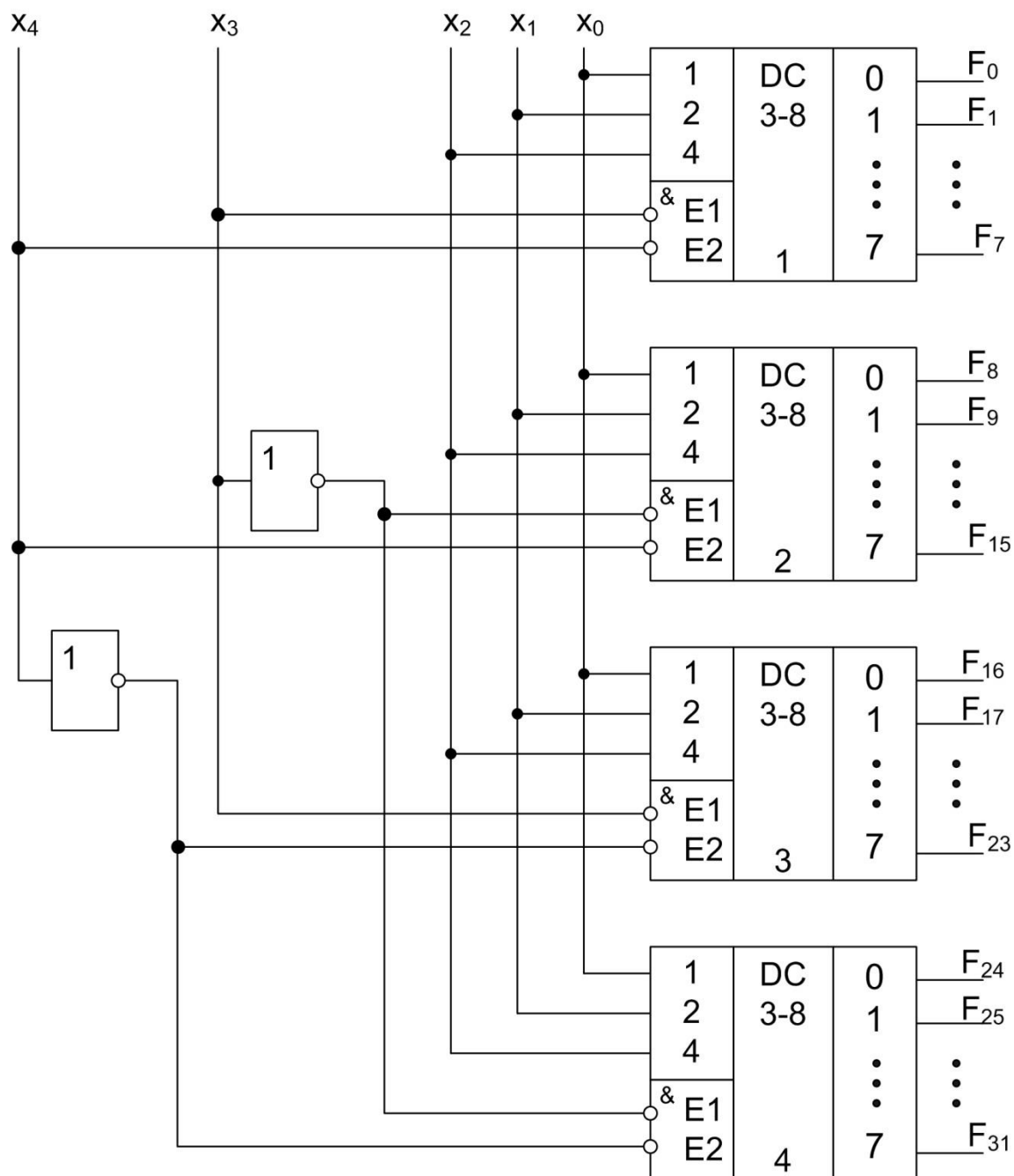


Рис. 5.5. Схема дешифратора «5-32», построенного с использованием разрешающих входов для дешифратора первой ступени

В заключение отметим, что дешифраторы совместно со схемами ИЛИ можно использовать для воспроизведения произвольных логических функций. Такое решение может быть целесообразнее при необходимости выработки нескольких функций одних и тех же аргументов.

5.1.3. Двоичные и приоритетные шифраторы, указатели старшей единицы

Двоичные шифраторы выполняют операцию, обратную по отношению к операции дешифратора: они преобразуют код «1 из N » в двоичный. При подаче на один (обязательно на один, и не более) из входов шифратора на его выходе формируется двоичный код номера возбужденной входной линии. Полный двоичный шифратор имеет 2^n входов и n выходов. Условное обозначение двоичного шифратора приведено на рис. 5.6.

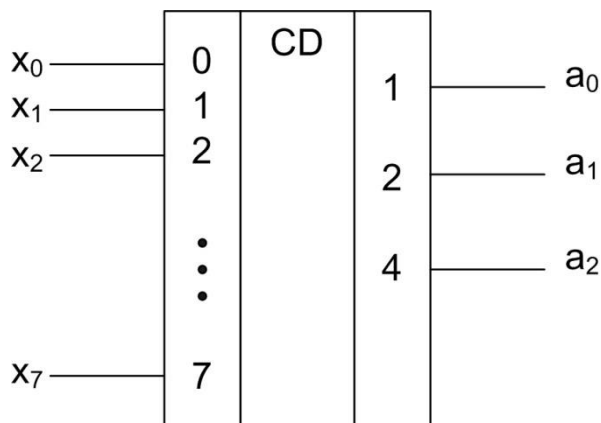


Рис. 5.6. Условное изображение двоичного шифратора

Приоритетные шифраторы выполняют более сложную операцию. При работе компьютера и в других устройствах часто решается задача определения приоритетного претендента на пользование каким-либо ресурсом. Несколько конкурентов выставляют свои запросы на обслуживание, которые не могут быть удовлетворены одновременно. Нужно выбрать того, кому предоставляется право первоочередного обслуживания. Простейший вариант решения указанной задачи – присвоение каждому источнику запросов фиксированного приоритета. Например, группа из восьми запросов $R_7R_6\dots R_0$ (R от англ. слова request – запрос) формируется так, что высший приоритет имеет источник номер семь, а далее приоритет уменьшается от номера к номеру. Самый младший приоритет у нулевого источника – он будет обслуживаться только при отсутствии всех других запросов. Если имеются одновременно несколько запросов, обслуживается запрос с наибольшим номером.

Приоритетный шифратор вырабатывает на выходе двоичный номер старшего запроса. Отсюда следует, что при наличии всего одного возбужденного входа приоритетный шифратор работает так же, как и двоичный. Поэтому в сериях ИС двоичный шифратор как самостоятельная микросхема чаще всего отсутствует. Режим его работы – частный случай работы приоритетного шифратора. В сериях ИС имеются шифраторы

приоритета для восьмиразрядных и десятиразрядных слов. Функционирование восьмиразрядного шифратора приоритета приведено в табл. 5.1. В табл. 5.1 приняты обозначения: EI – сигнал разрешения работы данного шифратора; $R_7...R_0$ – сигналы запросов на входах шифратора; $a_2...a_0$ – значения разрядов выходного двоичного кода, формирующего номер старшего запроса; G – сигнал, отмечающий наличие запросов на входе данного шифратора. Сигналы $a_2...a_0$ и G формируются при значении $EI=1$ (работа шифратора разрешена). При $EI=0$ независимо от состояний входов запросов все выходные сигналы приоритетного шифратора становятся нулевыми.

Таблица 5.1

Входы									Выходы				
EI	R_7	R_6	R_5	R_4	R_3	R_2	R_1	R_0	a_2	a_1	a_0	G	$E0$
1	1	x	x	x	x	x	x	x	1	1	1	1	0
1	0	1	x	x	x	x	x	x	1	1	0	1	0
1	0	0	1	x	x	x	x	x	1	0	1	1	0
1	0	0	0	1	x	x	x	x	1	0	0	1	0
1	0	0	0	0	1	x	x	x	0	1	1	1	0
1	0	0	0	0	0	1	x	x	0	1	0	1	0
1	0	0	0	0	0	0	1	x	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
0	x	x	x	x	x	x	x	x	0	0	0	0	0

Из табл. 5.1 можно получить следующие выражения для выходных функций $a_2, a_1, a_0, E0, G$:

$$a_2 = (R_7 \vee \bar{R}_7 \cdot R_6 \vee \bar{R}_7 \cdot \bar{R}_6 \cdot R_5 \vee \bar{R}_7 \cdot \bar{R}_6 \cdot \bar{R}_5 \cdot R_4) \cdot EI,$$

$$a_1 = (R_7 \vee \bar{R}_7 \cdot R_6 \vee \bar{R}_7 \cdot \bar{R}_6 \cdot R_5 \cdot \bar{R}_4 \cdot R_3 \vee \bar{R}_7 \cdot \bar{R}_6 \cdot \bar{R}_5 \cdot \bar{R}_4 \cdot R_3 \cdot R_2) \cdot EI,$$

$$a_0 = (R_7 \vee \bar{R}_7 \cdot \bar{R}_6 \cdot R_5 \vee \bar{R}_7 \cdot \bar{R}_6 \cdot \bar{R}_5 \cdot \bar{R}_4 \cdot R_3 \vee \bar{R}_7 \cdot \bar{R}_6 \cdot \bar{R}_5 \cdot \bar{R}_4 \cdot R_3 \cdot \bar{R}_2 \cdot R_1) \cdot EI,$$

$$E0 = \bar{R}_7 \cdot \bar{R}_6 \cdot \bar{R}_5 \cdot \bar{R}_4 \cdot \bar{R}_3 \cdot \bar{R}_2 \cdot \bar{R}_1 \cdot \bar{R}_0 \cdot EI,$$

$$G = (R_7 \vee R_6 \vee R_5 \vee R_4 \vee R_3 \vee R_2 \vee R_1 \vee R_0) \cdot EI.$$

Используя формулы алгебры логики выражения для a_2, a_1, a_0 , можно упростить.

На рис. 5.7 приведено условное обозначение шифратора приоритета с инверсными входами и выходами, характерного для большинства серий ИС (положительная логика). Вместо символа $HPRI$ в старых схемах может использоваться символ $PRCD$ (сокращение от priority encoder).

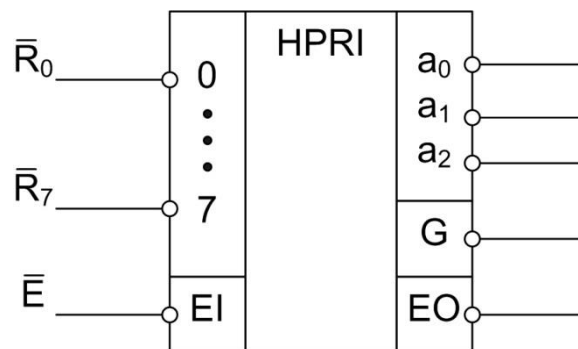


Рис. 5.7. Условное обозначение шифратора приоритета

Указатели старшей единицы решают в сущности ту же задачу, что и приоритетные шифраторы, но вырабатывают результат в иной форме – в виде кода «1 из N ». При наличии на входах нескольких возбужденных линий на выходе будет возбуждена лишь одна, соответствующая старшему запросу. Число входов в этом случае равно числу выходов схемы.

Указатели старшей единицы применяются в устройствах нормализации чисел с плавающей точкой и т.д.

Указатели старшей единицы могут быть реализованы подключением двоичного дешифратора к выходу шифратора приоритета.

5.1.4. Нарращивание размерности приоритетного шифратора

Как отмечалось ранее, в промышленных сериях ИС имеются шифраторы приоритета для восьмиразрядных и десятиразрядных слов. Приоритетный шифратор большей размерности из серийных ИС строится следующим образом (рис. 5.8). Шифратор *HPRI2* – старший по приоритету, его работа всегда разрешена подачей нуля на вход *EI*. Если на входах $\bar{R}_8 \dots \bar{R}_{15}$ есть хотя бы один запрос, то разрешения на работу младшего шифратора *HPRI1* нет ($EO_2 = 1$). Выходы шифратора *HPRI1* пассивны, т.е. имеют единичные значения. При этом элементы И-НЕ с номерами 1, 2, 3 играют роль схем ИЛИ для сигналов a_{i2} ($i=0, 1, 2$) и сигналов a_{i1} ($i=0, 1, 2$) согласно формуле де Моргана $a_0 = \overline{\bar{a}_{01} \cdot \bar{a}_{02}} = a_{01} \vee a_{02}$. Поэтому на выходах a_0, a_1, a_2 схемы в целом формируются сигналы от 000 до 111 в зависимости от номера запроса в шифраторе *HPRI2*, что вместе с единицей на выходе $EO_2 = a_3$ дает номера от $1000_2 = 8_{10}$ до $1111_2 = 15_{10}$.

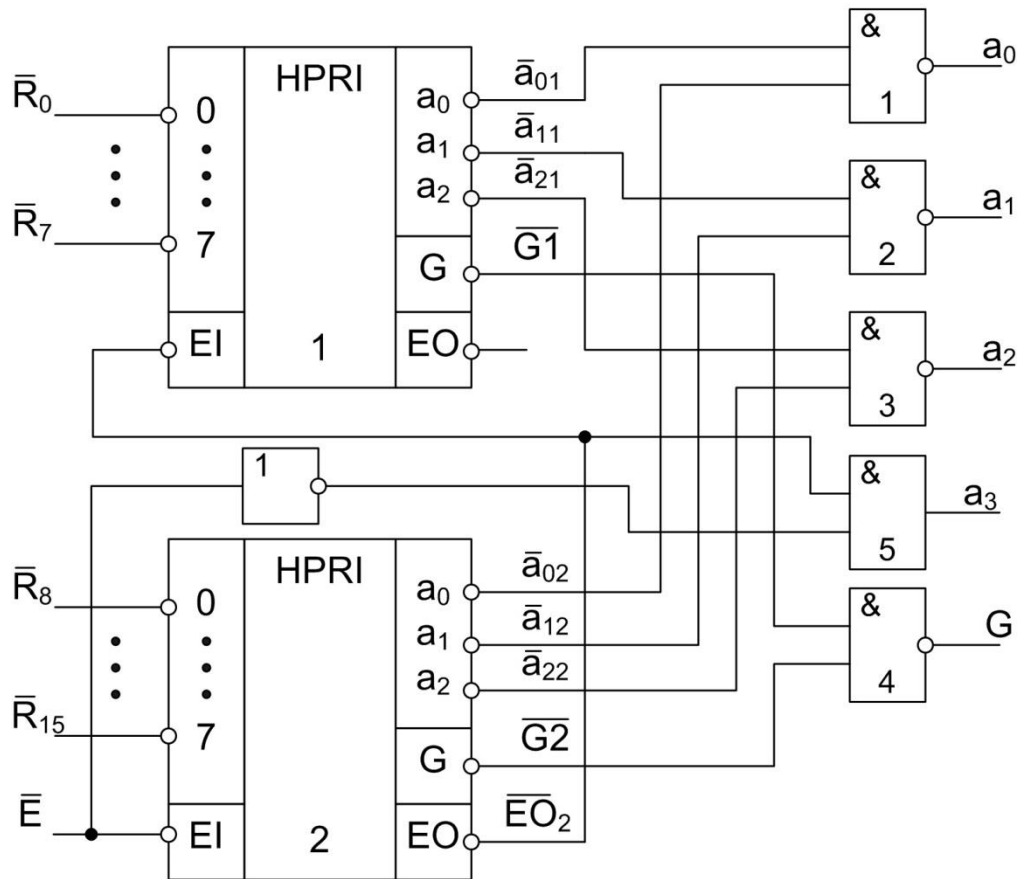


Рис. 5.8. Схема наращивания размерности приоритетного шифратора

Если на входах шифратора *HPRI2* запросов нет, он разрешает работу младшего шифратора *HPRI1*, вырабатывая сигнал $EO_2 = 0$, и переводит свои выходы $\bar{a}_{02}$, $\bar{a}_{12}$, $\bar{a}_{22}$ в пассивное единичное состояние. Теперь на выходы a_0 , a_1 , a_2 схемы в целом передаются инвертированные значения выходов младшего шифратора, что вместе с нулем в разряде a_3 соответствует номерам от $0000_2 = 0_{10}$ до $0111_2 = 7_{10}$.

Таким образом строится схема с 16 входами запросов, причем вход $\bar{R}_{15}$ имеет старший приоритет. Выход четвертого элемента И-НЕ принимает единичное значение при наличии хотя бы одного запроса в любом из шифраторов и может использоваться как сигнал запроса на прерывание.

5.2. Мультиплексоры и демультиплексоры

5.2.1. Реализация мультиплексоров и демультиплексоров

Мультиплексор (от англ. слова multiplexer) – это функциональный узел, осуществляющий подключение (коммутацию) одного из нескольких входов данных к выходу под управлением управляющего (адресующего) слова. Условное изображение мультиплексора и упрощенное представление мультиплексора многопозиционным ключом приведены на рис. 5.9.

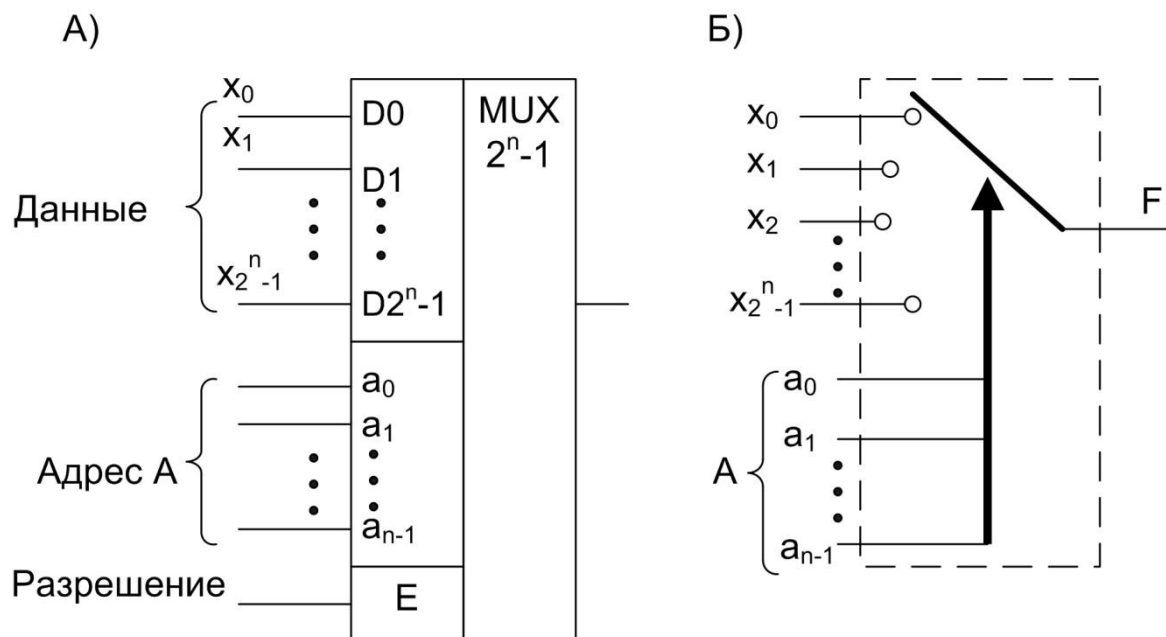


Рис. 5.9. Мультиплексор: А) УГО, Б) упрощенное представление мультиплексора многопозиционным ключом

Входы мультиплексора делятся на две группы: информационные и адресующие. Работу одноразрядного мультиплексора упрощенно можно представить с помощью многопозиционного ключа (рис. 5.9.Б). Адресующий код A задает переключателю определенное положение, соединяя с выходом F из информационных входов x_i . При нулевом адресующем коде переключатель занимает верхнее положение x_0 , с увеличением кода на единицу переходит в соседнее положение, подключая к выходу вход x_1 и т.д.

Работа мультиплексора описывается выражением:

$$F = x_0 \cdot \bar{a}_{n-1} \cdot \bar{a}_{n-2} \cdot \dots \cdot \bar{a}_1 \cdot \bar{a}_0 \vee x_1 \cdot \bar{a}_{n-1} \cdot \bar{a}_{n-2} \cdot \dots \cdot \bar{a}_1 \cdot a_0 \vee \dots \vee x_{2^n-1} \cdot a_{n-1} \cdot a_{n-2} \cdot \dots \cdot a_1 \cdot a_0,$$

которое иногда называется мультиплексной формулой. При любом значении адресующего кода все слагаемые, кроме одного, равны нулю. Схема мультиплексора «4-1» на элементах И-НЕ приведена на рис. 5.10.

При отсутствии разрешения работы ($E=0$) выход F становится нулевым независимо от информационных и адресных входов.

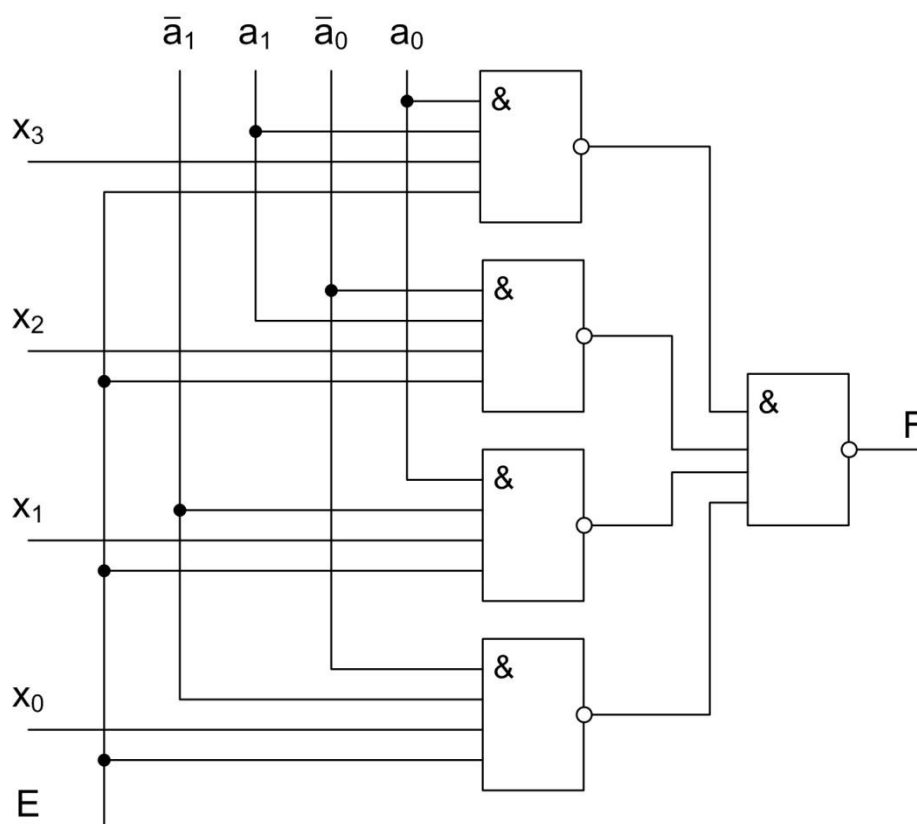


Рис. 5.10. Реализация мультиплексора «4-1» на элементах И-НЕ

В составе серий ИС выпускаются мультиплексоры «4-1», «8-1», «16-1» и имеют буквенный код КП. Рассмотренные схемы коммутируют только один разряд данных. При коммутации многоразрядных слов в каждом разряде используется свой мультиплексор. В составе серий ИС выпускаются и микросхемы многоразрядных мультиплексоров. Например, в серии К555 имеются ИС К555КП11, К555КП14, К555КП16, предназначенные для коммутации четырехразрядных слов с двух каналов.

Следует заметить, что термином «мультиплексирование» называют процесс передачи данных от нескольких источников по общему каналу, и любое устройство, осуществляющее на передающей стороне операцию сведения данных в один канал, принято называть мультиплексором. Это название исторически закрепилось за схемой по рис. 5.10, способной осуществлять временное мультиплексирование сигналов, передавая их в линию один за другим в темпе смены кодов на своих адресных входах. Но эта же схема может выполнять и еще одну распространенную операцию – выбор, селекцию (от англ. слова select – выбирать) данных из опреде-

ленного, указанного кодом адреса источника. Любое устройство, выполняющее операцию селекции, называют селектором. Разработчики, у которых схема, приведенная на рис. 5.9, выполняла эти функции, стали называть селектором. Кроме того, поскольку эта же схема выполняет коммутацию цифровых сигналов, ее еще называют коммутатором. По мнению авторов пособия термин «коммуникатор» уместнее применять к схемам подключающим аналоговые сигналы к одной линии.

Рассмотренная на рис. 5.10 схема побила среди цифровых СИС рекорд продолжительности жизни без определенного названия, её до сих пор называют и мультиплексор, и селектор, и селектор-мультиплексор, и коммутатор. Одни и те же ИС называются в разных источниках и коммутаторами и селекторами-мультиплексорами. Более того, в одном и том же справочнике микросхемы обсуждаемого типа называются то коммутатором (134КП9), то селектором-мультиплексором (К155КП7), то селектором (К155КП11), то мультиплексором (К555КП13). Терминологическая многозначность повлекла многозначность и в условных обозначениях на функциональных схемах, поскольку ЕСКД требует обозначать мультиплексор символом *MUX*, селектор – символом *SL*, а мультиплексор-селектор – символом *MS*. Для ИС, выпускаемой серийно, эти все названия эквивалентны и функции будут определяться в конкретной реализуемой схеме цифрового устройства целесообразно использовать термин мультиплексор и символ *MUX*. При изображении функциональной схемы, когда еще не решается вопрос о конкретной элементной реализации, целесообразно использовать термины *SL*, *MS*, отражающие функциональное назначение узла.

На приемной стороне канала передачи данных требуется выполнить обратную операцию – демультиплексирование. Эту операцию выполняют демультиплексоры, которые передают данные поступающие в последовательные моменты времени, из одного входного канал в один из нескольких каналов-приемников. Условное обозначение демультиплексора размерности «1-4» приведено на рис. 5.11. Многоразрядные демультиплексоры состоят из нескольких одnorазрядных, управляемых общим кодом адреса.

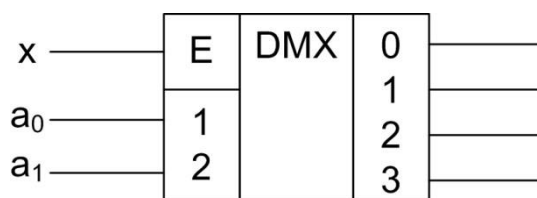


Рис. 5.11. Условное обозначение дешифратора-демультиплексора

Дешифратор со входом разрешения работы будет работать в режиме демультиплексора, если на вход разрешения работы E подавать информационный сигнал, а на адресные входы подавать друг за другом коды адресов приемников. Действительно, при единичном значении этого сигнала подача кодов адресов приведет к появлению действующего сигнала на соответствующем выходе, а при нулевом – нет. А это и соответствует передаче информационного сигнала в адресованный выходной канал.

В связи с указанным, в сериях ИС отдельные демультиплексоры могут отсутствовать, а дешифратор со входом разрешения часто называется дешифратором-демультиплексором (в некоторых справочниках называют декодером-демультиплексором). Это двойное название, как и название мультиплексор-селектор, пришло к нам из-за рубежа, где фирмам-изготовителям по рекламным соображениям выгодно уже в самом названии отразить возможно больше выполняемых ИС функций.

Применительно к дешифратору еще иногда можно встретить термин дешифратор-мультиплексор (см., например, название ИС К155ИД4). Видимо это терминологическое эхо названий 1967-1969 годов, когда мультиплексором в противоположность современному его значению действительно часто называли функциональный узел, распределяющий данные с одного направления на несколько.

5.2.2. Нарращивание размерности мультиплексоров

Нарращивание размерности мультиплексоров возможно с помощью пирамидальной структуры из нескольких мультиплексоров. При этом первый ярус схемы представляет собой столбец, содержащий столько ИС мультиплексоров, сколько необходимо для получения нужного числа информационных входов. Все ИС столбца адресуются одним и тем же кодом, составленным из соответствующего числа младших разрядов общего адресного кода. Если число информационных входов схемы равно 2^n , то общее число адресных разрядов равно n , младшие n_1 разрядов адресного кода используется для адресации ИС мультиплексоров первого яруса. Старшие разряды адресного кода, число которых равно $n-n_1$, используются во втором ярусе создаваемого мультиплексора. Такое построение обеспечивает поочередное подключение мультиплексоров первого яруса к выходному каналу. Схема мультиплексора, выполняющая функции мультиплексора «32-1» и построенная на ИС мультиплексоров меньшей размерности, приведена на рис. 5.12.

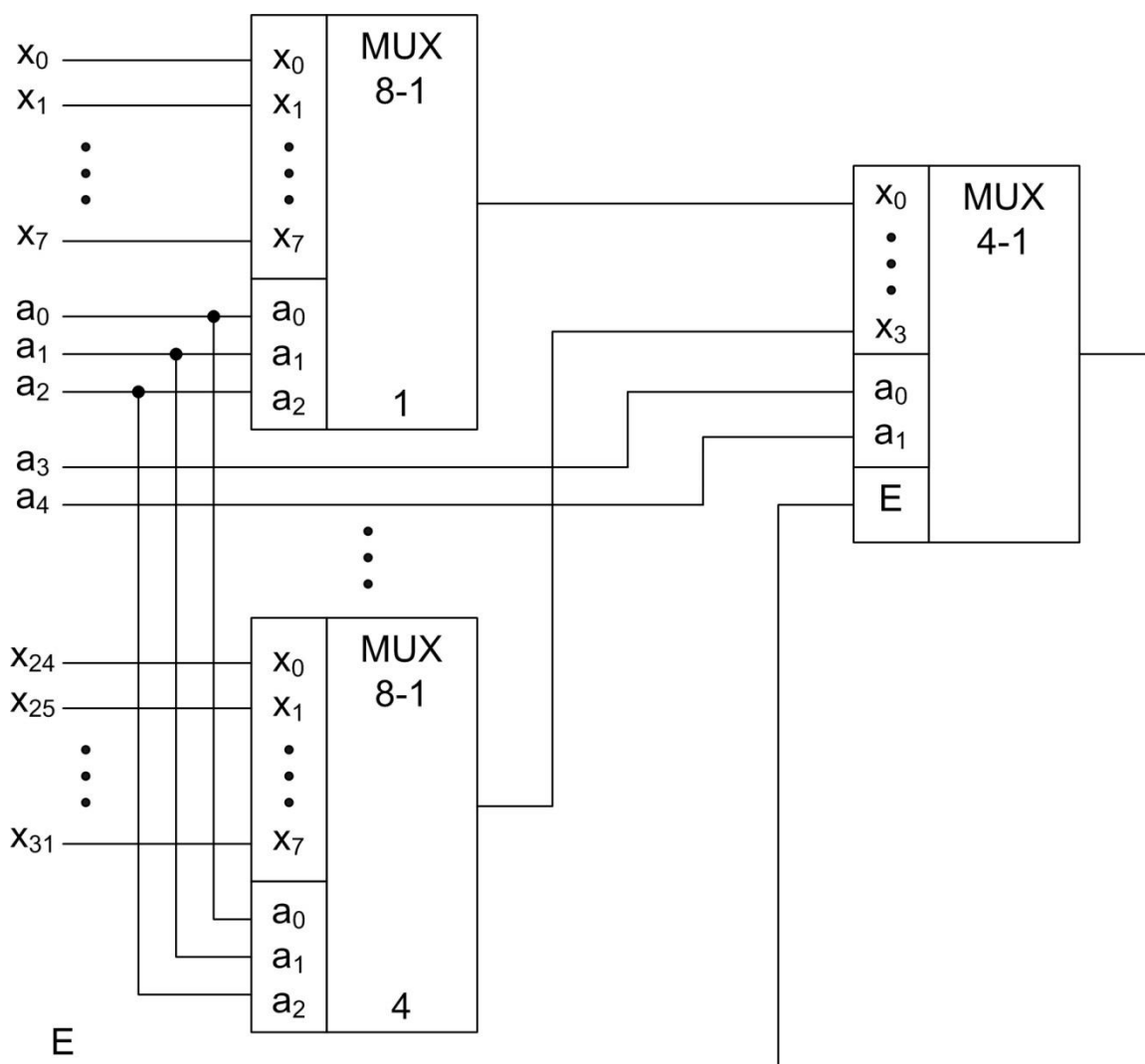


Рис. 5.12. Схема наращивания размерности мультиплексора

В составе серий ИС выпускаются микросхемы мультиплексоров с тремя состояниями выхода (например, К555КП15). Для создания мультиплексора большей размерности можно использовать соответствующее количество мультиплексоров, объединенных по выходу монтажным ИЛИ. Для выбора нужной микросхемы можно использовать ИС дешифратора. Схема, реализующая такой подход, приведена на рис.5. 13. Необходимо отметить, что данная схема имеет меньшее по сравнению со схемой рис.5. 12. быстродействие из-за повышенной ёмкости объединенных монтажным ИЛИ выходов.

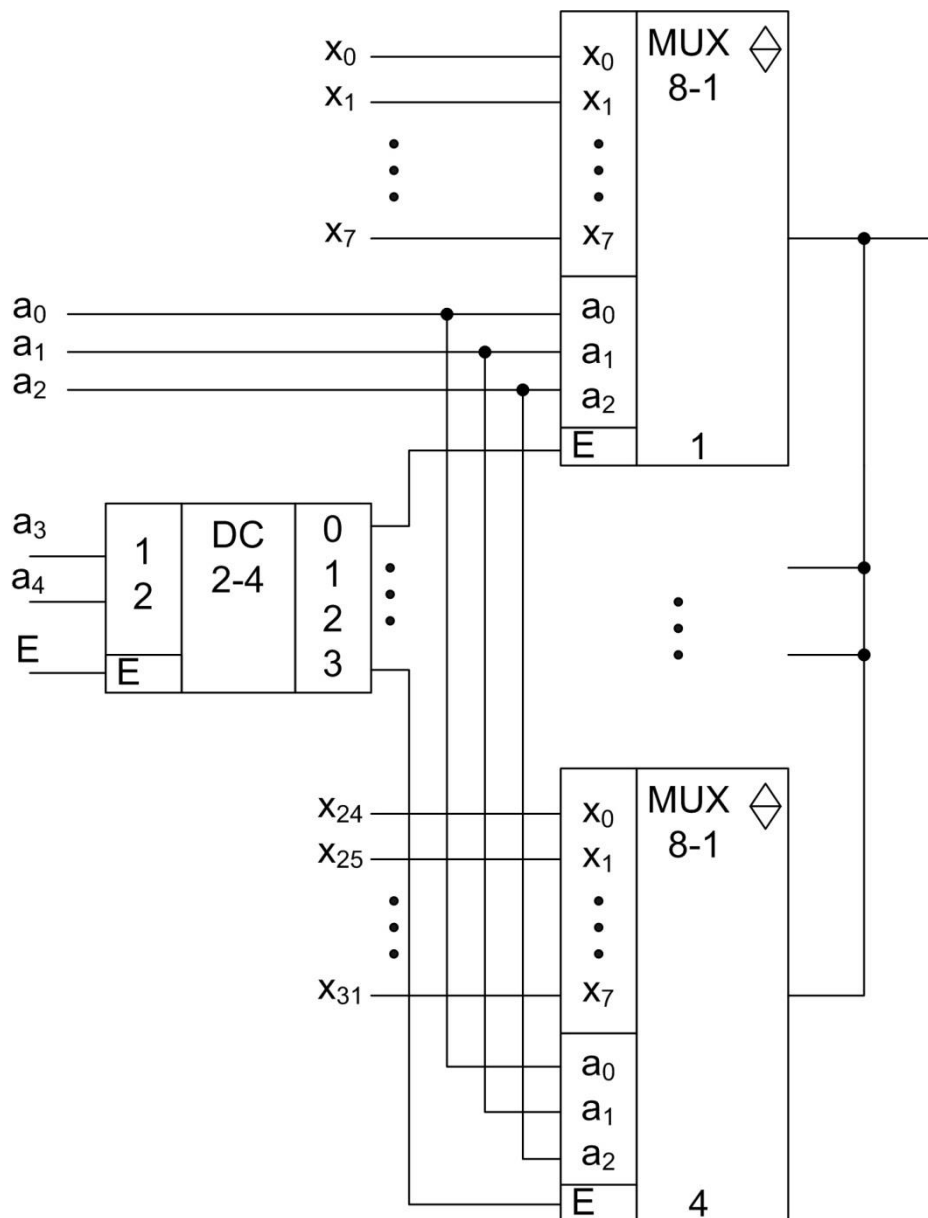


Рис. 5.13. Вариант наращивания размерности мультиплексора с использованием ИС с тремя состояниями выхода

5.2.3. Применение мультиплексоров для построения функциональных узлов

Применение мультиплексоров не ограничивается операциями мультиплексирования и селекции.

Распространенным применением мультиплексора является передача слова прямым или обратным кодом в зависимости от управляющего уровня (знакового разряда). Для этого в каждом разряде входы мультиплексора 2-1 подключаются к прямому и инверсному выходам регистра-источника.

Мультиплексоры используются для построения параллельных сдвигателей. Идею применения мультиплексоров для построения параллельных сдвигателей иллюстрирует рис. 5.14. В полной схеме сдвигателя к входу каждого разряда регистра $RG2$ подключено по такому же мультиплексору, входы данных которого в свою очередь подключены к выходам нескольких разрядов регистра $RG1$. На адресные входы мультиплексоров всех разрядов подается один и тот же код. В результате в зависимости от значения адресного кода в i -тый разряд регистра $RG2$ будет переписываться содержимое различных разрядов $RG1$.

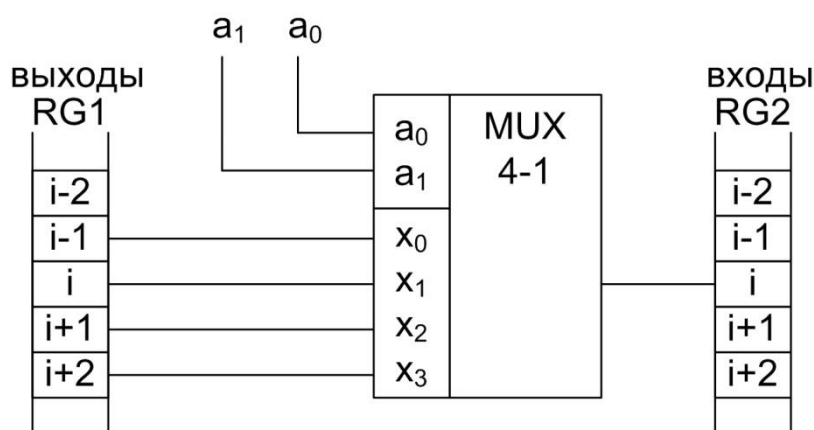


Рис. 5.14. Применение мультиплексора для построения параллельного сдвигателя

Используя мультиплексоры с достаточным числом входов и подключая входы к соответствующим разрядам регистра-источника, можно строить сдвигатели, способные очень быстро, всего за время задержки мультиплексора и регистра-приемника сдвигать в любую сторону на любое заданное число разрядов.

Мультиплексор можно использовать в качестве универсального логического элемента, настраиваемого на реализацию любой функции. Способ реализации функций трех или четырех аргументов с помощью микросхем мультиплексоров весьма популярен у разработчиков при использовании для разработки СИС.

В качестве примера рассмотрим реализацию функции трех аргументов, заданную в табл. 5.2 на мультиплексоре «8-1». Схема реализации функций на мультиплексоре ТТЛШ-схемотехники приведена на рис. 5.15.

Для этого входы данных мультиплексора подключены к источникам «1» и «0» в такой последовательности, которая соответствует набором переменных в таблице и значениям функции на выходе. Входные переменные подаются на адресные входы. Значения входных переменных

обеспечивают подключение к выходу соответствующего входа с заданным значением.

Таблица 5.2

Входы			Выход	Входы			Выход
x_0	x_1	x_2	F	x_0	x_1	x_2	F
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	0

Логические блоки на мультиплексорах используются в современных СБИС программируемой логики, выпускаемых ведущими мировыми фирмами.

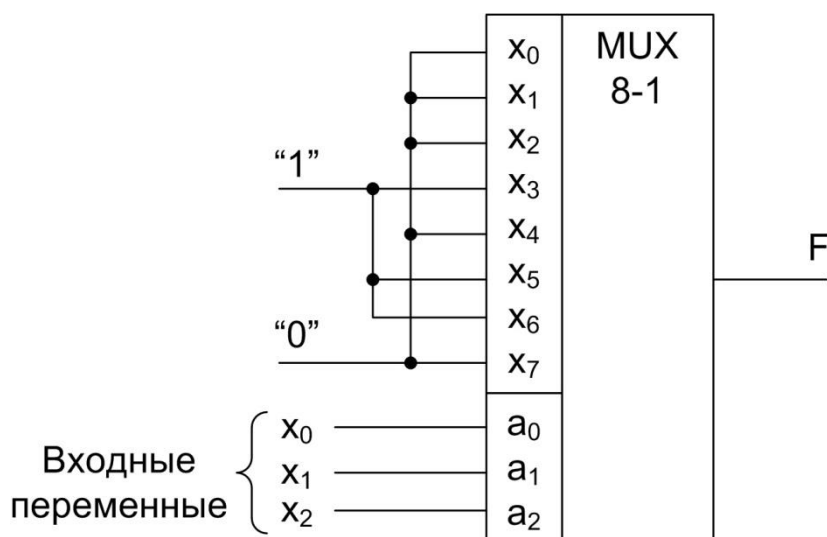


Рис. 5.15. Схема реализации логической функции на мультиплексоре

С помощью мультиплексоров достаточно просто преобразовать параллельный код в последовательный.

5.3. Компараторы

Компараторы (устройства сравнения) определяют отношения между двумя словами.

В процессе обработки данных возникает необходимость проверить логические условия двух слов информации: $A=B$; $A \neq B$; $A < B$; $A > B$; $A \leq B$; $A \geq B$. Основные отношения, через которые можно выразить остальные, принято использовать два: $A=B$; $A > B$.

Функции, вырабатываемые компараторами, определяют следующим образом: они принимают единичное значение (истинны), если соблюдается условие, указанное в индексе обозначения функции. Например, функция $F_{A=B}=1$, если $A=B$ и принимает нулевое значение при $A \neq B$.

Приняв в качестве основных отношения «равно» и «больше» для остальных можно записать:

$$F_{A \neq B} = \bar{F}_{A=B}; F_{A < B} = \bar{F}_{A > B} \wedge \bar{F}_{A=B}; F_{A \geq B} = F_{A > B} \vee F_{A=B}; F_{A \leq B} = \bar{F}_{A > B} \vee F_{A=B}.$$

В сериях ИС обычно имеются компараторы с тремя выходами: «равно», «больше», «меньше» (рис. 5.16). Отметим, что иногда вместо символа « $=$ » используют символ «COMP».



Рис. 5.16. Условное обозначение компаратора

Цифровые компараторы широко применяются для выявления нужного числа (слова) в потоке цифровых данных, для отметки времени в часовых приборах, для выполнения условных переходов в цифровых автоматах.

Примерами компараторов выпускаемых серийно в составе серий ИС является К555СП1 (ТТЛШ), 546ИП2, 561ИП2 (КМОП). Все схемы являются четырехразрядными, имеют входы и выходы $A > B$, $A = B$, $A < B$, что позволяет наращивать разрядность последовательно (каскадно) и параллельно (пирамидально) без дополнительных логических элементов (рис. 5.17 и 5.18 соответственно).

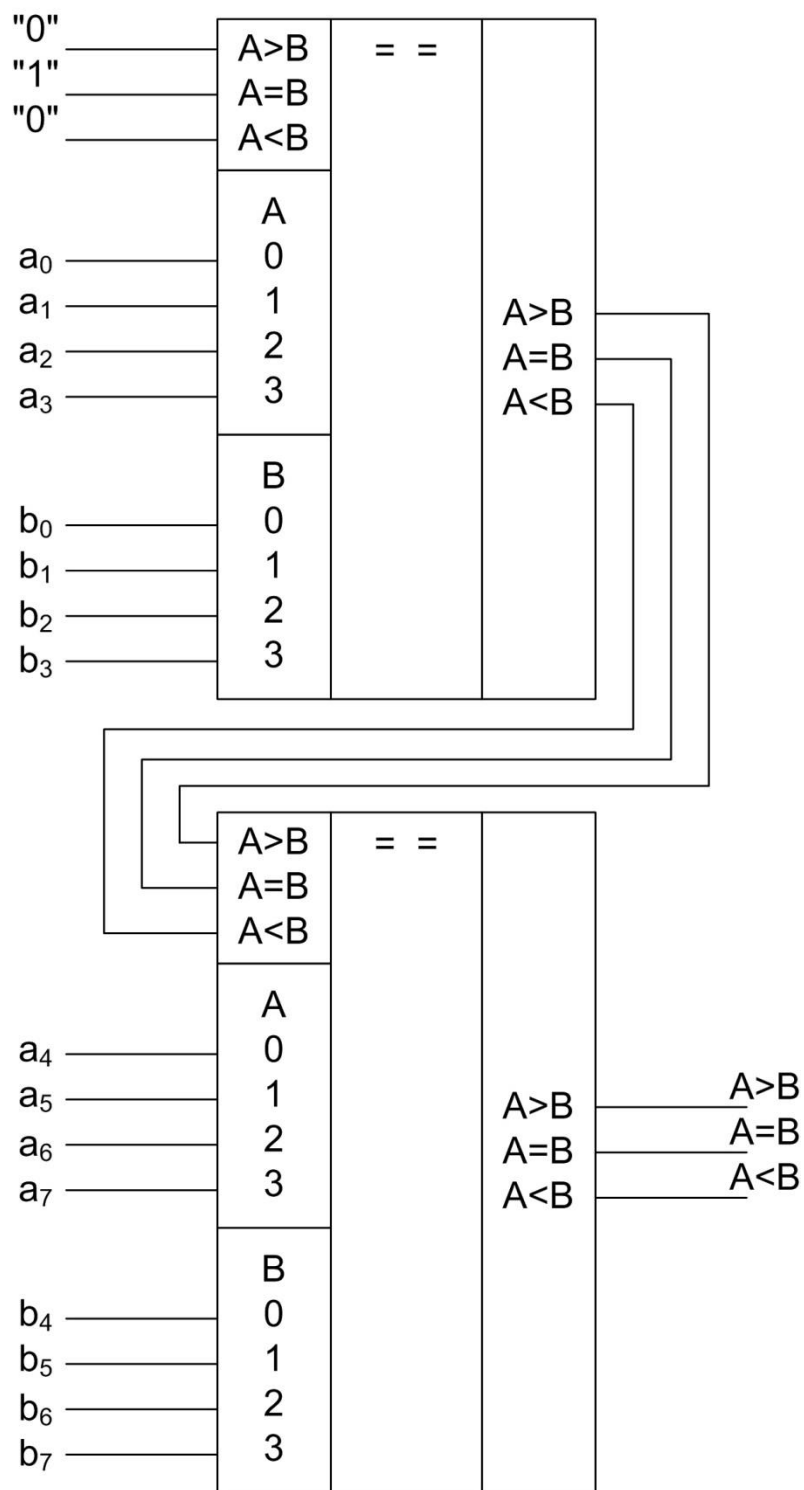


Рис. 5.17. Схема каскадного соединения четырехразрядных компараторов для получения восьмиразрядного

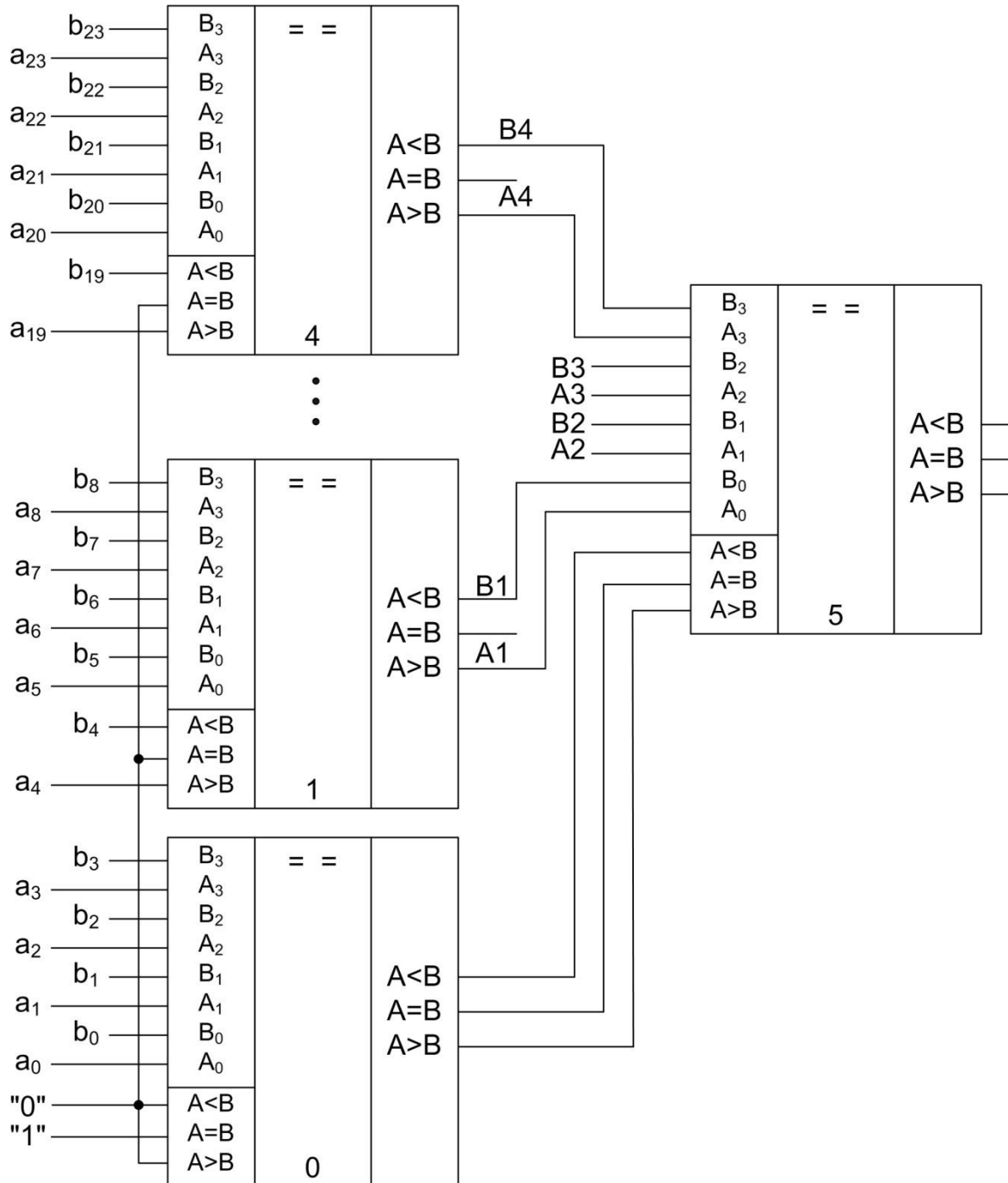


Рис. 5.18. Схема параллельного соединения четырехразрядных компараторов для получения шестнадцатиразрядного

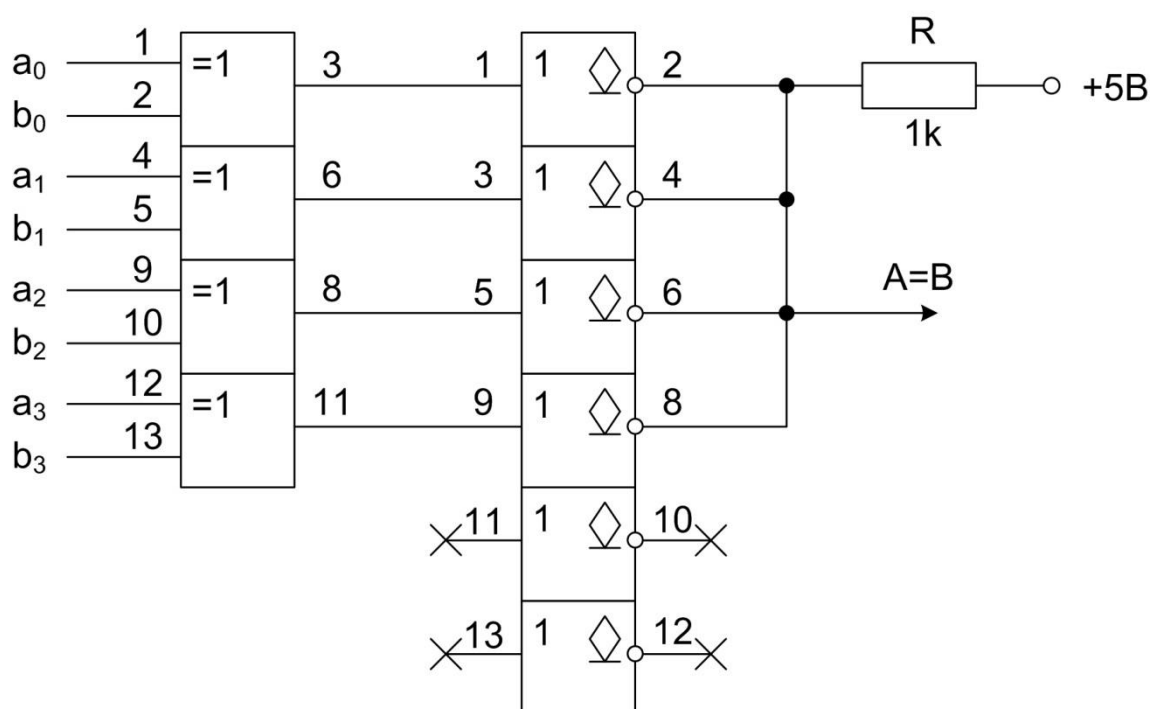
Устройства сравнения на равенство строятся на основе поразрядных операций над одноименными разрядами обоих слов.

Признак равенства разрядов $r_i = a_i \cdot b_i \vee \bar{a}_i \cdot \bar{b}_i$.

Признак неравенства разрядов $\bar{r}_i = a_i \cdot \bar{b}_i \vee \bar{a}_i \cdot b_i$.

$$\begin{aligned} r_i &= a_i \cdot b_i \vee a_i \cdot \bar{b}_i = \overline{a_i \cdot \bar{b}_i \vee \bar{a}_i \cdot b_i} = \overline{a_i \cdot \bar{b}_i} \cdot \overline{\bar{a}_i \cdot b_i} = \overline{a_i} \oplus \overline{b_i} ; \\ \bar{r}_i &= a_i \cdot \bar{b}_i \vee \bar{a}_i \cdot b_i = \overline{a_i \cdot b_i \vee \bar{a}_i \cdot \bar{b}_i} = \overline{a_i \cdot \bar{b}_i} \cdot \overline{\bar{a}_i \cdot b_i} = a_i \oplus b_i ; \\ r_j &= \overline{a_i \cdot \bar{b}_i \vee \bar{a}_i \cdot b_i} = \overline{a_i \cdot (\bar{a}_i \vee \bar{b}_i) \vee b_j \cdot (\bar{a}_i \vee \bar{b}_i)} = \overline{a_i \cdot \bar{a}_i \cdot \bar{b}_i \vee b_j \cdot \bar{a}_i \cdot \bar{b}_i} . \end{aligned}$$

Вариант схемы четырехразрядного компаратора на ИС 555 серии К555ЛП5 (четыре элемента сложения по $mod\ 2$) и К555ЛН2 (6 инверторов с открытым коллектором) приведен на рис. 5.19.



Построение компаратора на «больше» для одноразрядных слов, заданного табл. 5.3, требует реализации функции $F_{A>B} = a \cdot \bar{b}$.

Входы		Выходы
a	b	$F_{A>B}$
0	0	0
0	1	0
1	0	1
1	1	0

Функцию $F_{A>B}$ для многоразрядных слов проще всего получить на основе рассуждений. Пусть нужно сравнить двухразрядные слова. Если старшие разряды a_1 и b_1 не равны, то результат известен независимо от младших разрядов: при $a_1=1$ и $b_1=0$ имеем $A>B$, а при $a_1=0$ и $b_1=1$ имеем $A<B$. Если $a_1=b_1$, то результат еще не известен, и требуется анализ следующего разряда по тому же алгоритму. Поэтому для двухразрядных слов можно записать $F_{A>B} = a \cdot \bar{b} \vee r_1 \cdot a_0 \cdot \bar{b}_0$.

Подобный же подход справедлив и для слов любой разрядности – к анализу следующего разряда нужно переходить только при равенстве предыдущих. Таким образом, для общего случая n -разрядных слов имеем

$$F_{A>B} = a_{n-1} \cdot \bar{b}_{n-1} \vee r_{n-1} \cdot a_{n-2} \cdot \bar{b}_{n-2} \vee \dots \vee r_{n-1} \cdot r_{n-2} \cdot \dots \cdot r_1 \cdot a_0 \cdot \bar{b}_0.$$

Более интересен в современных условиях компаратор на многоразрядном сумматоре (рис. 5.20).

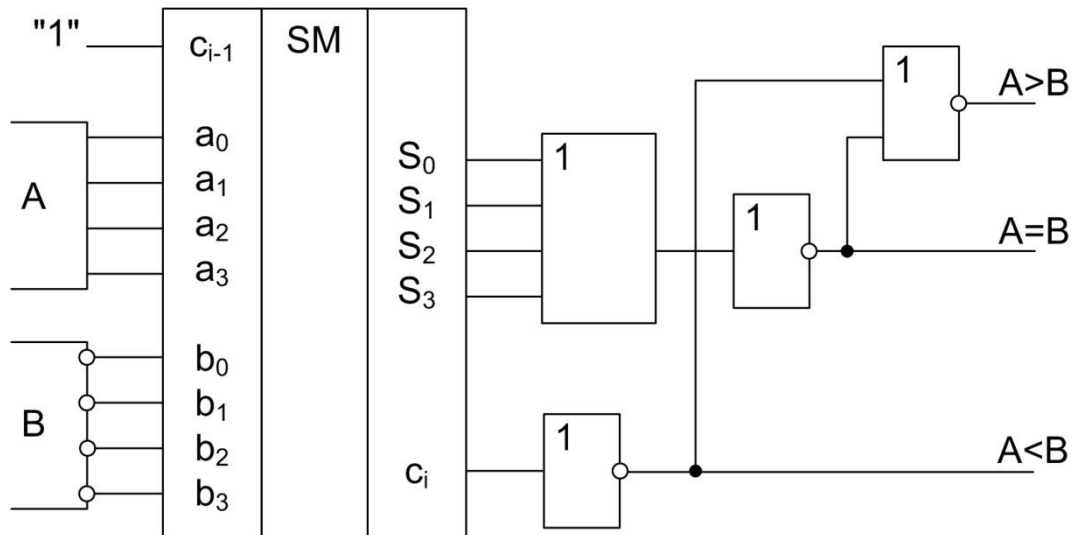


Рис. 5.20. Схема четырехразрядного компаратора величин на основе четырехразрядного сумматора

В данной схеме выполняется операция вычитания $A-B$ и анализируется результат. Для этого на сумматор число B (в отличие от числа A) подать в инверсной форме (т.е. заменив в нем все нули единицами, а единицы – нулями), а на вход переноса c_{i-1} сумматора подать единицу. Тогда выходной перенос c_i будет равен 0 лишь только в том случае, когда A строго меньше B . Равенство суммы 0 будет признаком того, что $A=B$. Единица переноса при ненулевой сумме говорит о том, что A строго больше B . Сказанное иллюстрируют примеры, в которых вычитание из числа A числа B заменено сложением числа $[-B]$ в обратном коде:

<u>A > B</u>				<u>A = B</u>				<u>A < B</u>			
-	A	+ $\frac{13}{12}$	+ 1101	-	A	+ $\frac{12}{12}$	+ 1100	-	A	+ $\frac{11}{12}$	+ 1011
	B	12	0011		B	12	0011		B	12	0011
			+ 1				+ 1				+ 1
			<u>1</u>				<u>1</u>				<u>1</u>
			1.0001				1.0000				0.1111
	↙		c _i =1		↙		S=0		↙		c _i =0
			S≠0				S=0				S≠0

Компаратор величин может быть построен и на арифметико-логических устройствах (см. 5.4).

5.4. Сумматоры

5.4.1. Назначение и классификация сумматоров

Сумматоры выполняют арифметическое (в противоположность логическому) сложение и вычитание чисел. Сумматоры выпускаются как в виде ИС, так и являются ядром схем арифметико-логических устройств (АЛУ), реализующих ряд операций (см. 5.5).

Аппаратная сложность и быстродействие сумматора являются очень важными параметрами при построении устройств обработки данных, поэтому разработано множество вариантов сумматоров, которые имеют разветвленную классификацию. Основой всех многоразрядных сумматоров является одnorазрядный сумматор.

Для обработки многоразрядных операндов используются:

- сумматор для последовательных операндов;
- сумматор для параллельных операндов с последовательным переносом;
- сумматор для параллельных операндов с параллельным переносом;
- сумматор групповой структуры с цепным переносом;
- сумматор групповой структуры с параллельным межгрупповым переносом;
- сумматор с условным переносом.

5.4.2. Синтез схемы одnorазрядного сумматора

Одноразрядный сумматор имеет три входа: два слагаемых a_i , b_i и перенос из предыдущего разряда c_{i-1} (от англ. слова carry – перенос) и два выхода: суммы S_i и переноса в следующий разряд c_i . Таблица истинности одnorазрядного сумматора приведена в табл. 5.4.

Таблица 5.4

№ п/п	Входы			Выходы	
	a_i	b_i	c_{i-1}	S_i	c_i
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

Совершенные дизъюнктивные нормальные формы (СДНФ) функций суммы и переноса имеют вид:

$$S_i = \bar{a}_i \bar{b}_i c_{i-1} \vee \bar{a}_i b_i \bar{c}_{i-1} \vee a_i \bar{b}_i \bar{c}_{i-1} \vee a_i b_i c_{i-1},$$

$$c_i = \bar{a}_i b_i c_{i-1} \vee a_i \bar{b}_i c_{i-1} \vee a_i b_i \bar{c}_{i-1} \vee a_i b_i c_{i-1}.$$

Задача разработчика одноразрядного сумматора – так преобразовать СДНФ функций S_i и c_i , чтобы задержка по тракту вход переноса c_{i-1} – выход переноса c_i была минимальна и чтобы при этом аппаратные затраты были также возможно меньше.

Функцию c_i можно минимизировать

$$c_i = \bar{a}_i b_i c_{i-1} \vee a_i \bar{b}_i c_{i-1} \vee a_i b_i \bar{c}_{i-1} \vee a_i b_i c_{i-1} =$$

(согласно законов алгебры логики $x \vee x \vee x \vee \dots \vee x = x$)

$$= \bar{a}_i b_i c_{i-1} \vee a_i \bar{b}_i c_{i-1} \vee a_i \bar{b}_i c_{i-1} \vee a_i b_i c_{i-1} \vee a_i b_i \bar{c}_{i-1} \vee a_i b_i c_{i-1} =$$

$$= b_i \cdot c_{i-1} (\bar{a}_i \vee a_i) \vee a_i \cdot c_{i-1} (\bar{b}_i \vee b_i) \vee a_i \cdot b_i (\bar{c}_{i-1} \vee c_{i-1}) =$$

(согласно законов алгебры логики $\bar{x} \vee x = 1$)

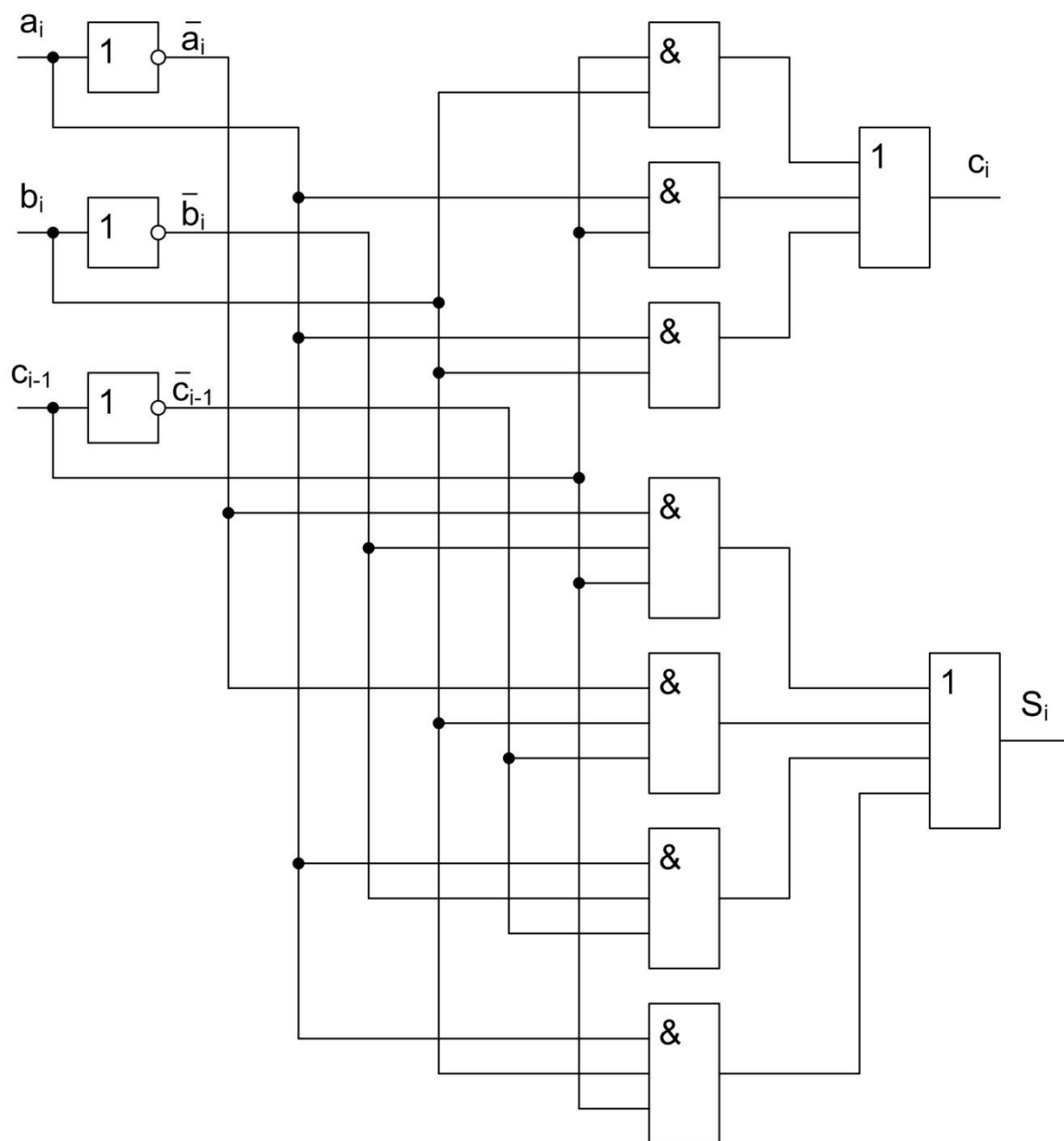
$$= b_i \cdot c_{i-1} \vee a_i \cdot c_{i-1} \vee a_i \cdot b_i.$$

Минимизацию функции c_i можно произвести и с помощью диаграммы Вейча.

Выражение для S_i в базисе И, ИЛИ, НЕ не минимизируется.

Схема, реализующая эти выражения, приведена на рис.5.21. Для реализации такого сумматора требуется три двухвходовых элемента И, четыре трехвходовых элемента И, один трехвходовый элемент ИЛИ, один четырехвходовый элемент ИЛИ и три инвертора. Инверторы не обязательны, так как данные с триггеров регистра можно снимать в парафазном коде. Поэтому задержку в тракте переноса $c_{i-1} - c_i$ принимают равной 2τ .

А)



Б)

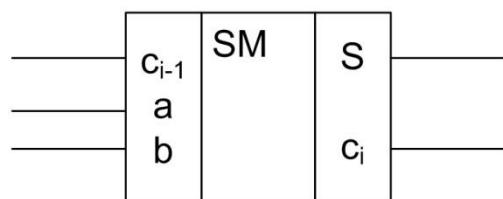


Рис. 5.21. Одноразрядный сумматор: А) функциональная схема на элементах классического базиса, Б) УГО

В базисе Шеффера функции S_i и c_i выражаются следующим образом (используют формулу де Моргана $x \vee y = \overline{\bar{x} \cdot \bar{y}}$):

$$S_i = \overline{\overline{a_i \cdot b_i \cdot c_{i-1}} \cdot \overline{a_i \cdot b_i \cdot \bar{c}_{i-1}} \cdot \overline{a_i \cdot \bar{b}_i \cdot \bar{c}_{i-1}} \cdot \overline{a_i \cdot b_i \cdot c_{i-1}}},$$

$$c_i = \overline{a_i \cdot b_i \cdot a_i \cdot c_{i-1} \cdot b_i \cdot c_{i-1}}.$$

Приведенные выражения можно реализовать на элементах двухступенчатой логики И-ИЛИ-НЕ, имеющихся в сериях ТТЛ и ТТЛШ. Такое решение приводит к использованию элемента 2-2-2 И-ИЛИ-НЕ для выработки сигнала c_i и элемента 3-3-3-3 И-ИЛИ-НЕ для выработки сигнала суммы S_i , трех инверторов. Такая схема используется в некоторых сериях (например, ИС К555ИМ5), но более популярно решение, приводящее к некоторому сокращению аппаратной сложности схемы при сохранении минимальной задержки по цепи переноса.

Идея такого решения состоит в использовании в качестве четвертого аргумента перенос в следующий разряд c_i , который все равно вырабатывается. Представим функцию S_i как функцию четырех аргументов a_i, b_i, c_{i-1}, c_i в виде диаграммы Вейча. При этом учтем, что, поскольку при заданных a_i, b_i, c_{i-1} перенос c_i определяется однозначно, комбинации a_i, b_i, c_{i-1} с переносом c_i , не соответствующим входным аргументам не могут существовать, т.е. функция S_i от четырех аргументов a_i, b_i, c_{i-1}, c_i является недоопределенной. Комбинации аргументов, которые не могут существовать на диаграмме Вейча покажем крестиком. Диаграмма Вейча для S_i как функции от четырех аргументов приведена на рис. 5.22. Как известно, крестики можно объединять в группы с единицами во всех случаях, когда это позволяет упростить логические выражения. На рис. 5.22 на диаграмме обведены контурами группы, позволяющие объединить все единицы. Для этого достаточно трёх групп из четырёх квадратов и одной группы из двух квадратов.

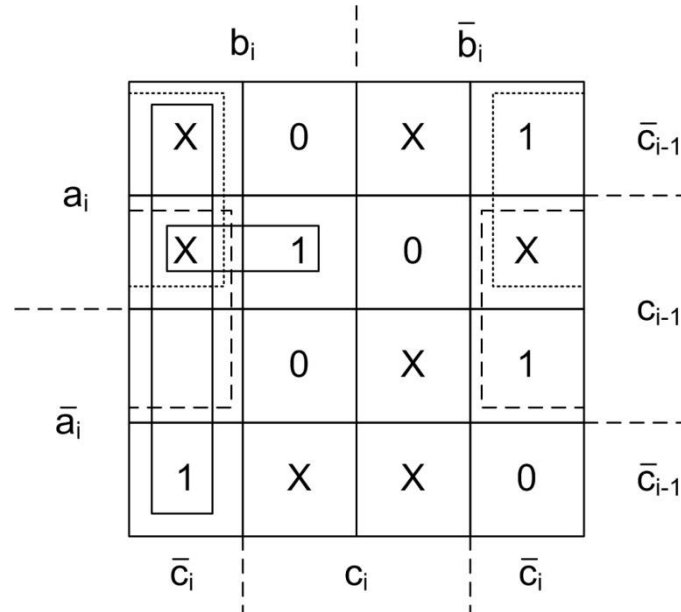


Рис. 5.22. Изображение на диаграмме Вейча S_i как функции двух слагаемых, входного и выходного переноса

В соответствии с диаграммой Вейча S_i можно выразить в виде $S_i = a_i \cdot \bar{c}_i \vee b_i \cdot \bar{c}_i \vee c_{i-1} \cdot \bar{c}_i \vee a_i \cdot b_i \cdot c_{i-1}$.

При реализации сумматора на элементах И-ИЛИ-НЕ выражения для S_i и c_i записываются следующим образом:

$$\bar{c}_i = a_i \cdot c_{i-1} \vee b_i \cdot c_{i-1} \vee a_i \cdot b_i,$$

$$\bar{S}_i = a_i \cdot \bar{c}_i \vee b_i \cdot \bar{c}_i \vee c_{i-1} \cdot \bar{c}_i \vee a_i \cdot b_i \cdot c_{i-1}.$$

Схема, реализующая данные выражения, приведена на рис. 5.23. Данная схема хорошо приспособлена к реализации по ТТЛШ-технологии, весьма экономична по аппаратурным затратам (в два с лишним раза меньше, чем затраты в тривиальной схеме) задержка в тракте переноса всего 1τ .

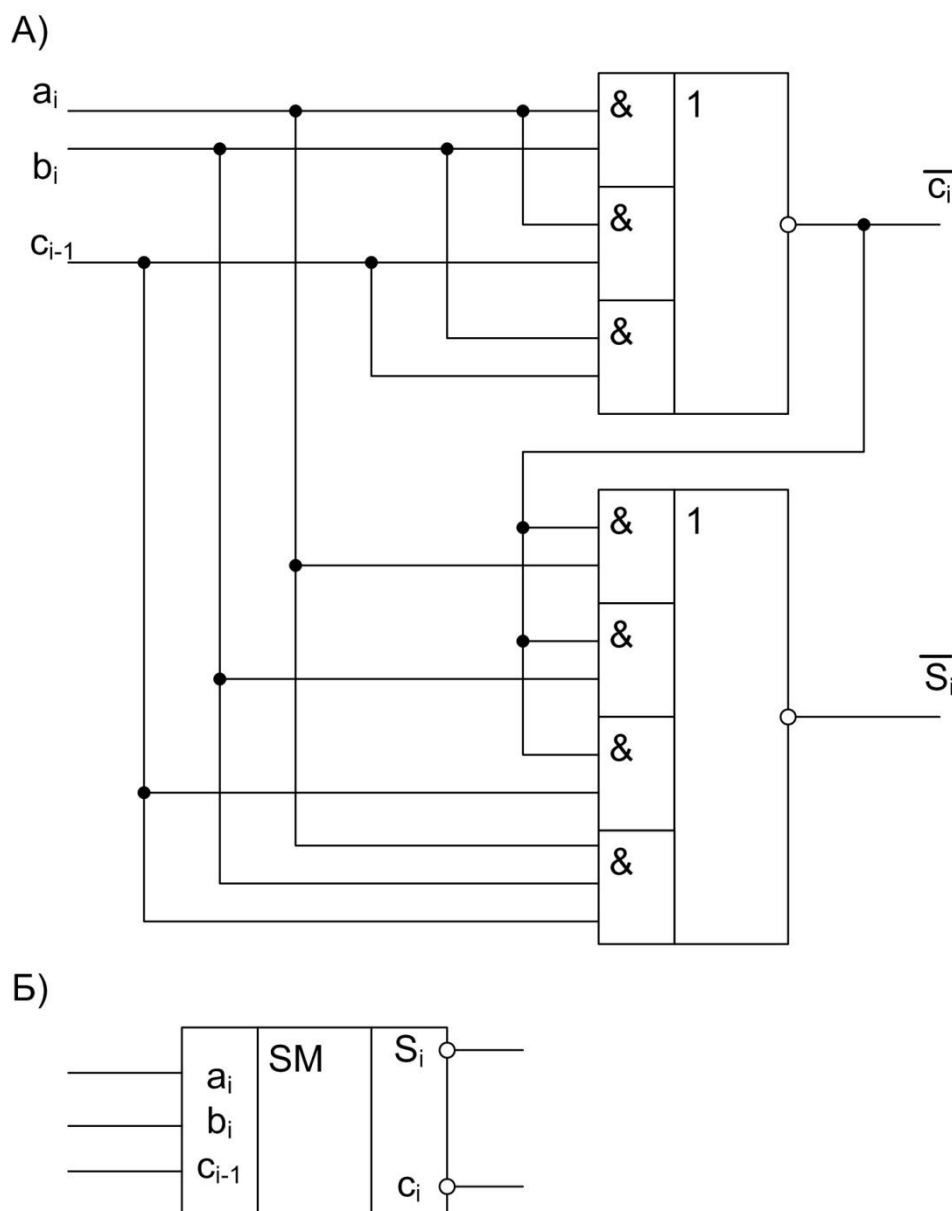


Рис. 5.23. Одноразрядный сумматор: А) функциональная схема на элементах И-ИЛИ-НЕ, Б) УГО

Использование одного инвертирующего элемента в тракте переноса, казалось бы, затруднит стыковку сумматоров друг с другом. Действительно, с выхода соседнего младшего разряда снимается инверсия переноса, а на вход данного разряда требуется перенос без инверсии. Введение дополнительного инвертора сведет на нет полученное в данной схеме преимущество в скорости по сравнению со схемой, построенной непосредственно по записям S_i и c_i в СДНФ. Однако при построении именно сумматора это затруднение легко обходится, поскольку как функция переноса, так и функция суммы относятся к классу самодвойственных функций.

Самодвойственными называют такие функции, значения которых инвертируются при инвертировании всех входящих в них аргументов. В этом легко убедиться, сравнивая попарно строки 3 и 4, 2 и 5, 1 и 6, 0 и 7 табл. 5.4. В каждой паре взаимно обратные значения как всех аргументов, так и выходных величин S_i и c_i . Учитывая это, можно поступить следующим образом. Для построения многоразрядного сумматора тракты переноса одноразрядных сумматоров соединяются цепочкой без инверторов. На те сумматоры, на которые поступают инвертированные значения переноса, слагаемые подаются также инверсным кодом (вместо a_i подается $\bar{a}_i$, вместо b_i – $\bar{b}_i$). Тогда в силу самодвойственности функций S_i и c_i на выходах этих разрядов значения переноса и суммы получатся неинвертированные. На те разряды, на которые поступают неинвертированные значения переносов, слагаемые a_i и b_i подаются неинвертированными. На выходах этих разрядов значения переноса и суммы получаются инвертированными. Использовать схему с черезразрядной инверсией несложно. Иногда удастся функцию инвертирования возложить на триггеры регистров, снимая в соответствующих разрядах слагаемые не с прямых, а с инверсных выходов триггеров. Если это неудобно, то в нулевых разрядах на входе и выходе сумматора ставят инверторы.

В библиотеках схемных решений СБИС используются специфические схемы одноразрядных сумматоров. Например, в СБИС FLEX8000 фирмы Altera, для формирования сигнала суммы используется выражение в базисе сложения по модулю 2: $S_i = c_{i-1} \oplus a_i \oplus b_i$, а сигнал переноса в следующий разряд формируется по классической формуле. Схема такого сумматора приведена на рис. 5.24.

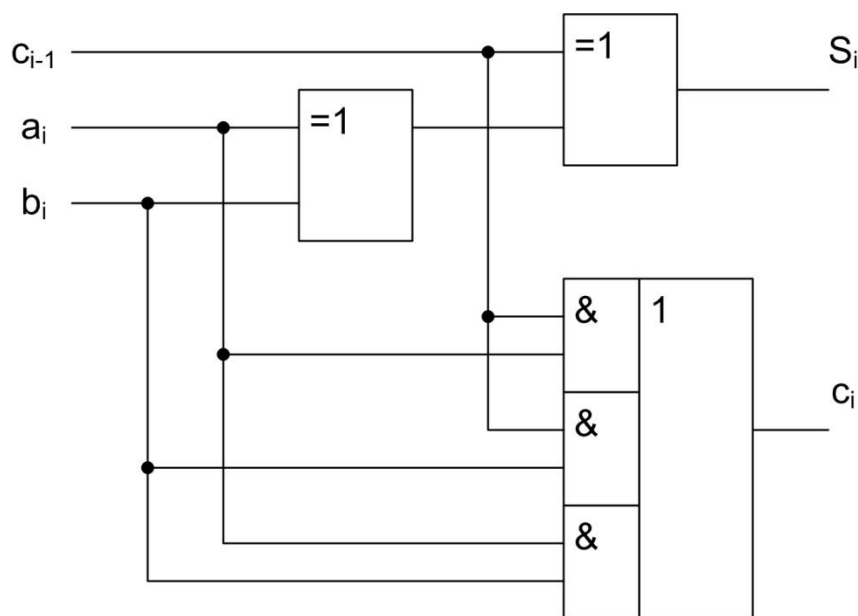


Рис. 5.24. Схема одноразрядного сумматора с использованием выражения $S_i = c_{i-1} \oplus a_i \oplus b_i$

5.4.3. Последовательный многоразрядный сумматор

Схема такого сумматора приведена на рис. 5.25. Сумматор для последовательных операндов содержит всего один одноразрядный сумматор, сдвигающие регистры слагаемых и суммы, D -триггер для запоминания переноса. Регистры и триггер тактируются синхронизирующими импульсами СИ.

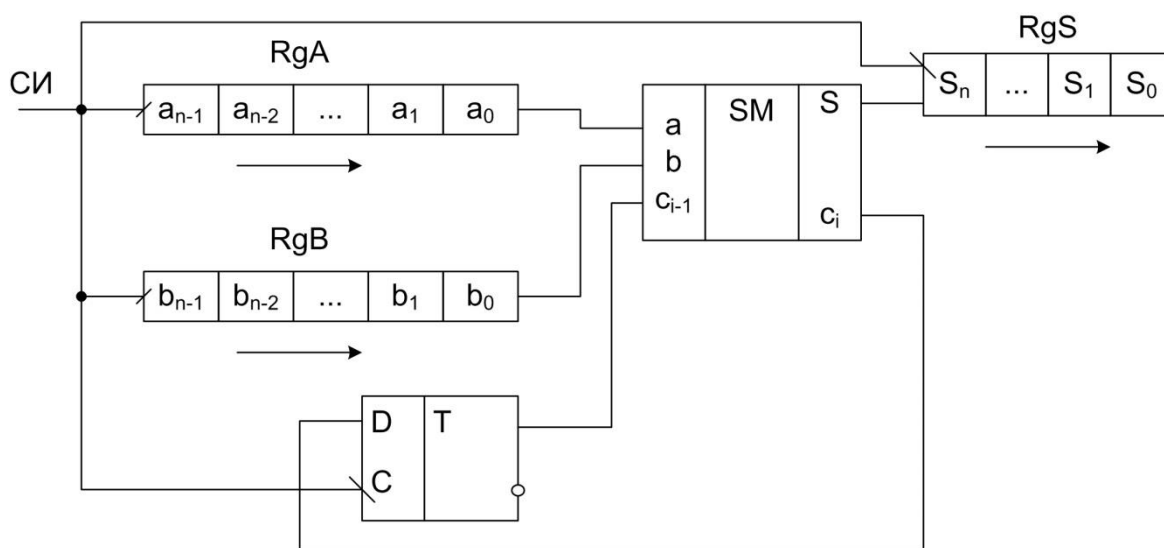


Рис. 5.25. Схема многоразрядного сумматора для последовательных операндов

Последовательный многоразрядный сумматор обрабатывает поочередно разряд за разрядом, начиная с младшего. Сложив младшие разряды, одноразрядный сумматор вырабатывает сумму для младшего разряда результата и перенос, который запоминается на один такт. В следующем такте складываются вновь поступившие слагаемые и перенос из младшего разряда и т.д.

5.4.4. Параллельный сумматор с последовательным переносом

Сумматор для параллельных операндов с последовательным переносом (ripple carry adder) строится как цепочка одноразрядных, соединенных последовательно по цепям переноса. Схема четырехразрядного сумматора с последовательным переносом и обозначение многоразрядного сумматора на функциональной схеме приведены на рис. 5.26.

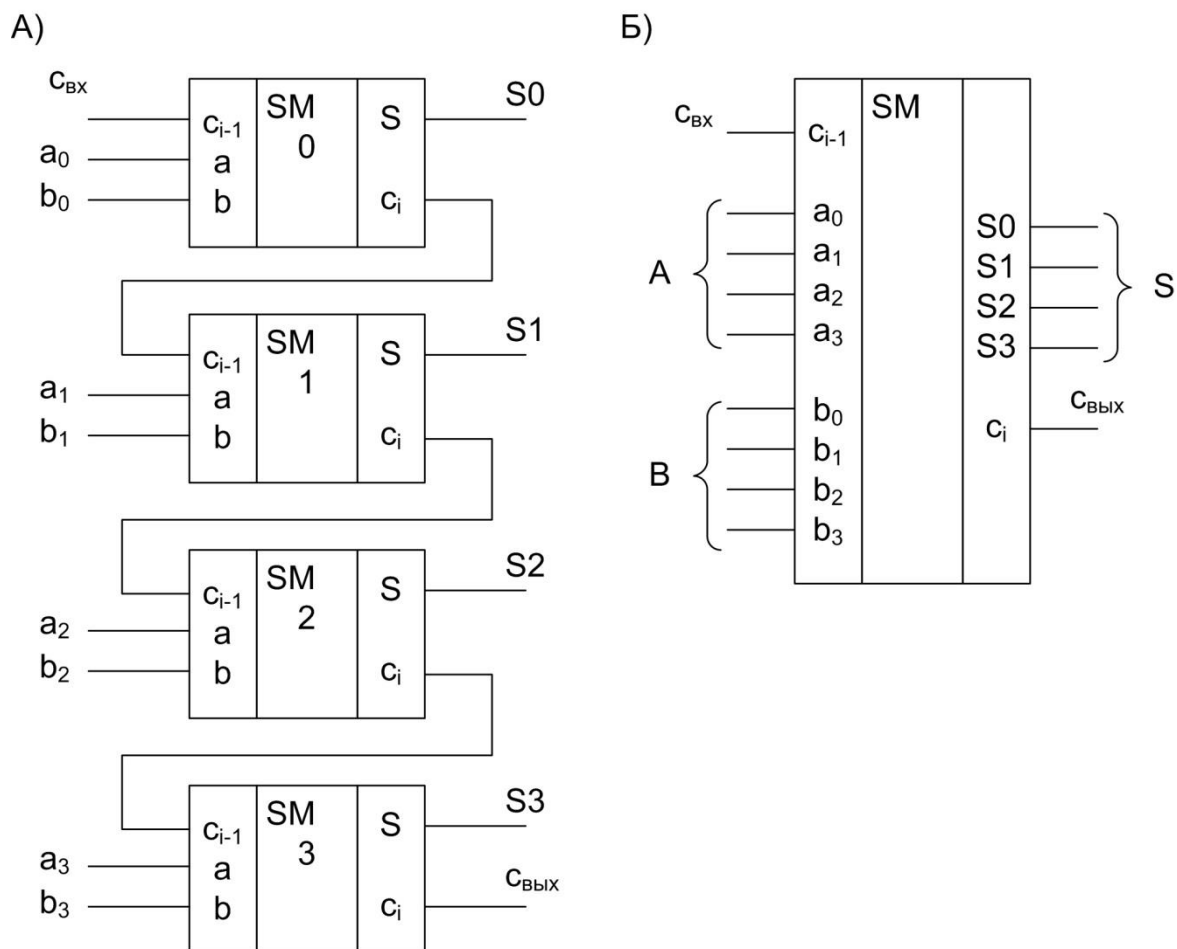


Рис. 5.26. Четырехразрядный сумматор с последовательным переносом: А) функциональная схема, Б) УГО

В сумматоре с последовательным переносом тракты переносов всех одноразрядных сумматоров включены последовательно. Поэтому, даже при минимальной задержке тракта переноса одноразрядного сумматора 1τ , задержка n -разрядного сумматора не может быть менее $n \cdot \tau$.

В случае построения многоразрядного сумматора с последовательным переносом на одноразрядных сумматорах с инверсными значениями суммы и переноса схема выглядит следующим образом (рис. 5.27).

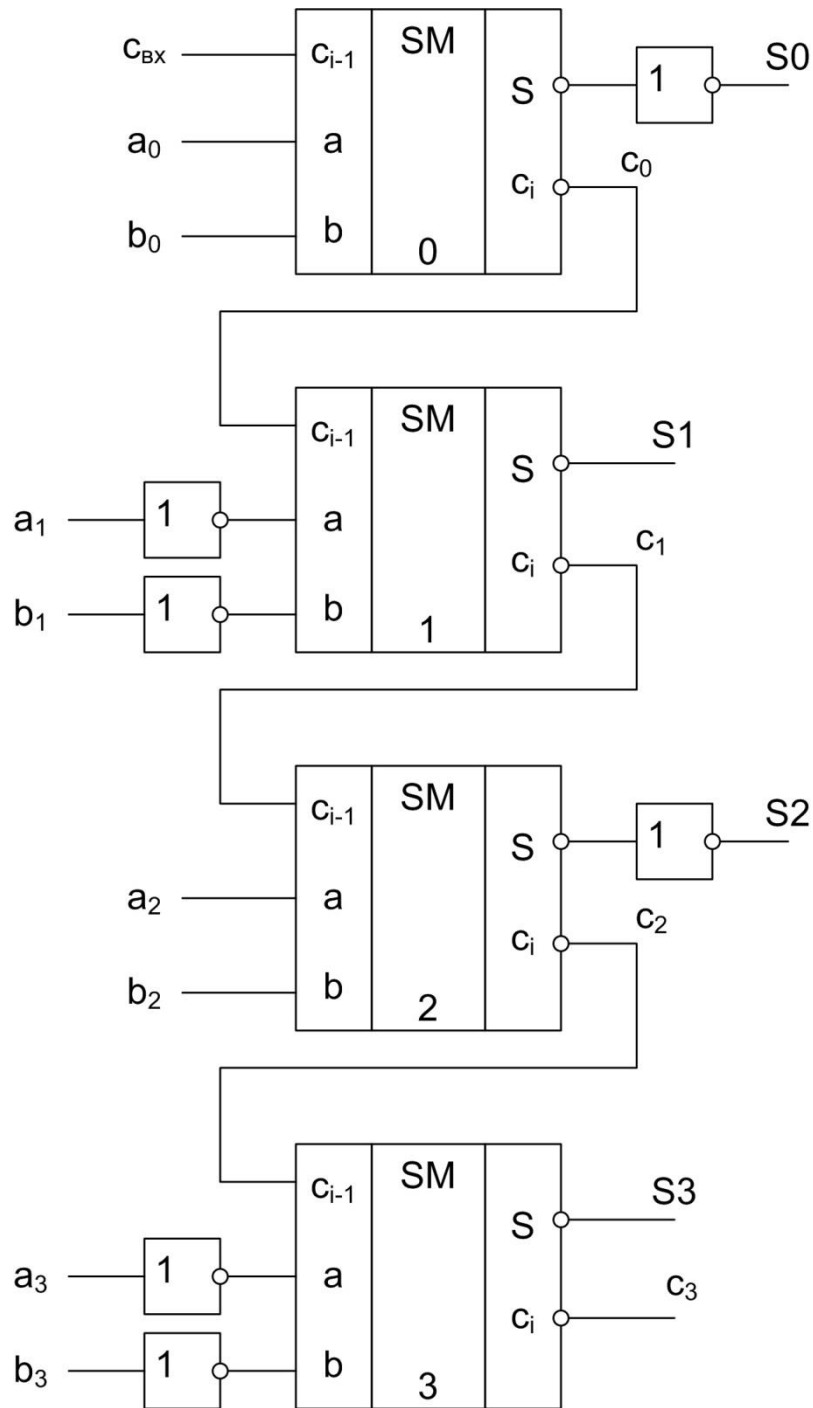


Рис. 5.27. Схема многоразрядного сумматора с последовательным переносом

5.4.5. Параллельный сумматор с параллельным переносом

Сумматоры для параллельных операндов с параллельным переносом разработаны для получения максимального быстродействия.

Сумматоры с параллельным переносом не имеют последовательного распространения переноса вдоль разрядной сетки. Во всех разрядах вы-

рабатываются одновременно, параллельно во времени. Сигналы переноса для данного разряда формируются специальными схемами, на входы которых поступают все переменные, необходимые для выработки переноса, т.е. от которых зависит его наличие или отсутствие. Очевидно, что это внешний входной перенос $c_{вх}$ (если он есть) и значения всех разрядов слагаемых, младших относительно данного. Одноразрядные сумматоры, использующиеся в разрядных схемах, более простые, так как от них выход переноса не требуется. Структура сумматора с параллельным переносом приведена на рис. 5.28. Схема формирования переноса обозначена CR (от англ. слова carry). Однако, для реализации такой схемы требуется весьма существенные аппаратные затраты. Уже для четвертого разряда CR описывается функцией семи переменных.

Для перехода от идеи построения схемы к ее конкретному виду реализации принято вводить две вспомогательные функции: генерации и прозрачности.

Функция генерации переносов g_i (CRG – carry generation) принимает единичное значение, если перенос на выходе данного разряда появляется независимо от наличия или отсутствия входного переноса. Очевидно, что $g_i = a_i \cdot b_i$.

Функция прозрачности или распространения h_i (CRP – carry propagation) принимает единичное значение, если слагаемые данного разряда таковы, что при переносе в данный разряд c_{i-1} , равном единице, перенос в соседний более старший разряд c_i также равен единице, т.е. $h_i = 1$, если тракт переноса данного разряда сумматора прозрачен для сигнала переноса c_{i-1} . Таким образом, $h_i = a_i \cdot \bar{b}_i \vee \bar{a}_i \cdot b_i = a_i \oplus b_i$. Так как только при $a_i = b_i = 1$ проявляется разница между функцией ИЛИ и исключающее ИЛИ проявится разница, перенос все равно формируется из-за $g_i = a_i \cdot b_i = 1$, функцию прозрачности принято записывать $h_i = a_i \vee b_i$.

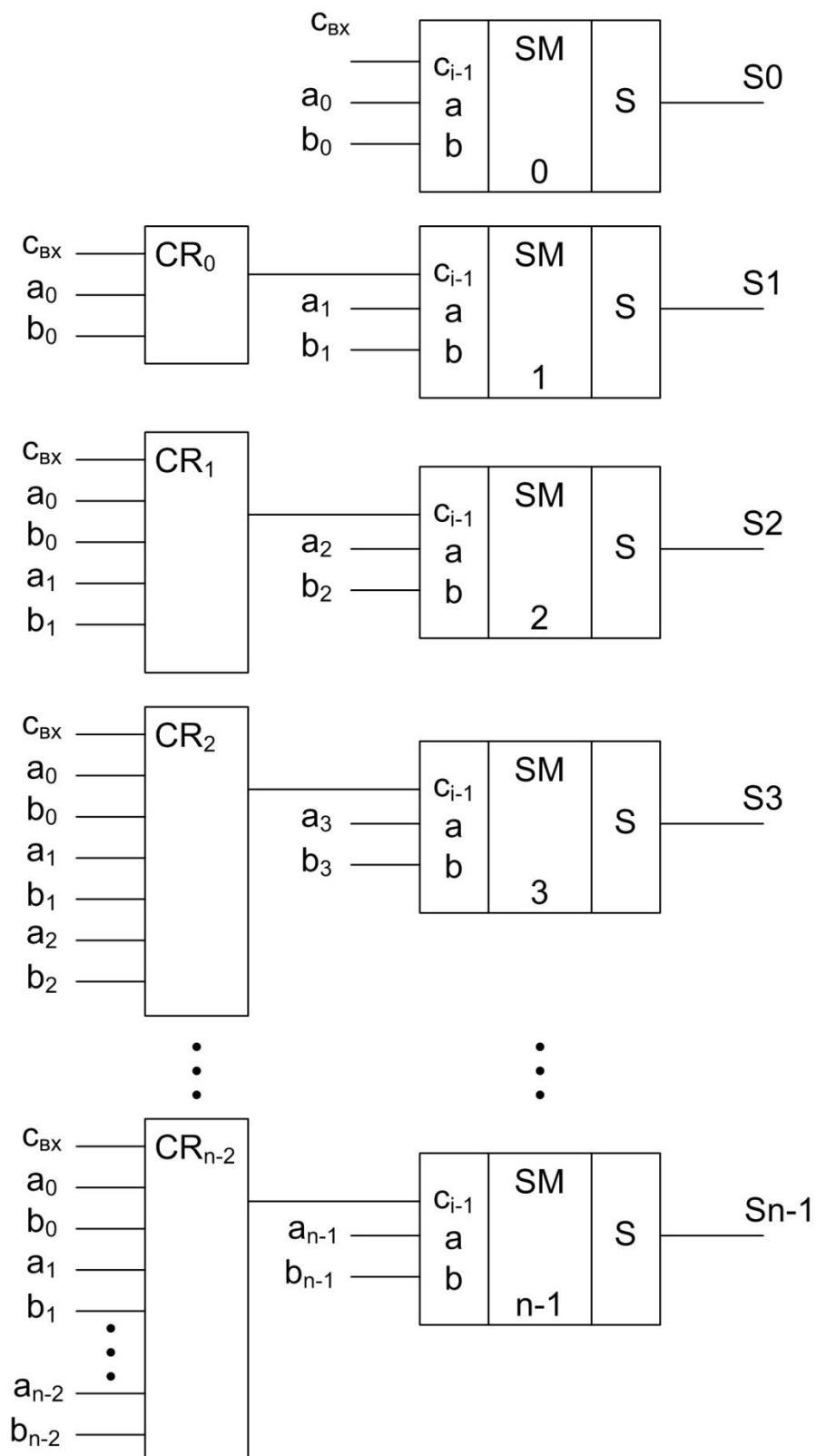


Рис. 5.28. Структура сумматора с параллельным переносом

С учетом введенных обозначений, выражения для сигнала переноса можно записать в виде $c_i = g_i \vee h_i \cdot c_{i-1}$. Используя полученную формулу, выведем функции переноса c для нулевого, первого и второго разрядов с последующим их обобщением.

Перенос на выходе младшего разряда $c_0 = g_0 \vee h_0 \cdot c_{\text{вх}}$, согласно чему он либо генерируется самим разрядом ($g=1$), либо пропускается через него ($h_0=1$ и $c_{\text{вх}}=1$).

Для переноса c_1 на выходе следующего разряда справедливо соотношение $c_1 = g_1 \vee h_1 \cdot c_0$. Подставив в это соотношение выражение для c_0 получим $c_1 = g_1 \vee h_1 \cdot g_0 \vee c_{\text{вх}} \cdot h_1 \cdot h_0$.

Если произвести те же действия для следующего разряда, то получим $c_2 = g_2 \vee h_2 \cdot c_1 = g_2 \vee h_2 \cdot g_1 \vee h_2 \cdot h_1 \cdot g_0 \vee c_{\text{вх}} \cdot h_2 \cdot h_1 \cdot h_0$.

Приведенные формулы имеют явный физический смысл – перенос на выходе разряда сгенерируется в нем или придет от предыдущих разрядов при прозрачности тех, через которые он распространяется.

Для произвольного разряда с номером i можно записать $c_i = g_i \vee h_i \cdot g_{i-1} \vee h_i \cdot h_{i-1} \cdot g_{i-2} \vee \dots \vee h_i \cdot h_{i-1} \cdot \dots \cdot h_1 \cdot g_0 \vee c_{\text{вх}} \cdot h_i \cdot h_{i-1} \cdot \dots \cdot h_0$.

Функции переноса имеют нормальную дизъюнктивную форму и могут быть реализованы элементами И-ИЛИ (либо И-ИЛИ-НЕ, если это свойственно данной схемотехнике). Однако у этих элементов недостаточное число входов по И, требуемое для построения многоразрядного сумматора. Поэтому предпочтительна схема на элементах И-НЕ. Перевод полученных выражений.

В базис И-НЕ (у стандартных элементов два, три, четыре или восемь входов по И) дает выражение (используется формула де Моргана $x \vee y = \overline{\bar{x} \cdot \bar{y}}$) $c_0 = g_0 \vee c_{\text{вх}} \cdot h_0 = \overline{g_0 \cdot \overline{c_{\text{вх}} \cdot h_0}} = \overline{(a_0 \cdot b_0) \cdot (c_{\text{вх}} \cdot h_0)}$ (учитывая, что $g_0 = a_0 \cdot b_0$).

Значение h_0 формируется по формуле $h_0 = a_0 \vee b_0 = \overline{\overline{a_0} \cdot \overline{b_0}}$. Рассуждая аналогично можно записать:

$$c_1 = \overline{(a_1 \cdot b_1) \cdot (a_0 \cdot b_0 \cdot h_1) \cdot (c_{\text{вх}} \cdot h_1 \cdot h_0)},$$

$$c_2 = \overline{(a_2 \cdot b_2) \cdot (a_1 \cdot b_1 \cdot h_2) \cdot (a_0 \cdot b_0 \cdot h_1 \cdot h_0) \cdot (c_{\text{вх}} \cdot h_2 \cdot h_1 \cdot h_0)}.$$

На рис. 5.29 приведен вариант схемы параллельного четырехразрядного сумматора. Из схемы видно, что время суммирования складывается из времени формирования функций прозрачности (одна задержка элемента И-НЕ, которую обозначим $\tau_{\text{ИА}}$), времени формирования функций переноса $2\tau_{\text{ИА}}$ и задержки упрощенных сумматоров $2\tau_{\text{ЛА}}$. В результате на выходе данного сумматора сумма будет появляться с задержкой $5\tau_{\text{ИА}}$.

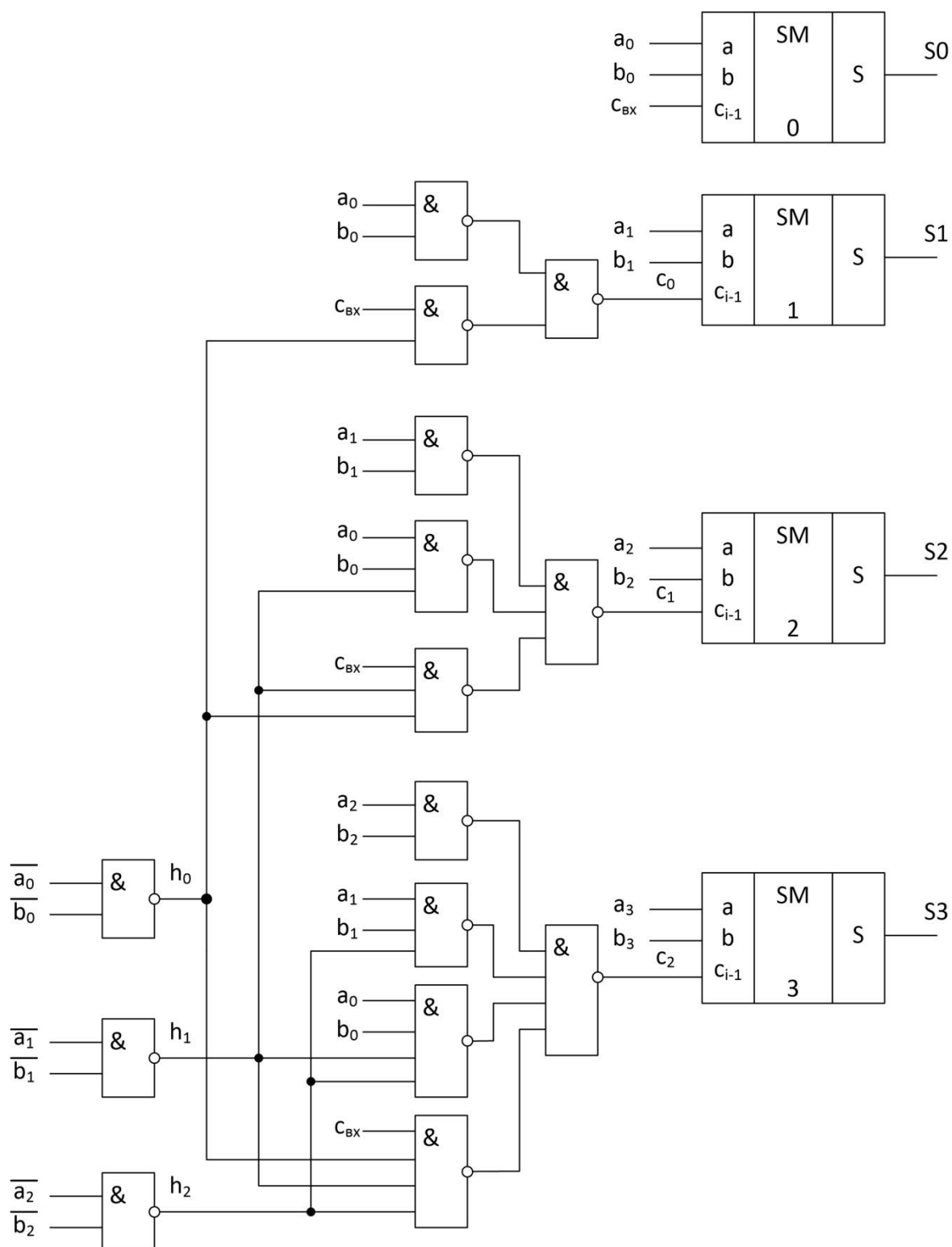


Рис. 5.29. Вариант схемы сумматора с параллельным переносом

Длительность суммирования в данной схеме не зависит от ее разрядности, что является характерным признаком структур с параллельными

переносами вообще, и не только сумматора. Однако реально это не совсем так, поскольку с ростом разрядности сумматора увеличивается нагрузка элементов схемы, что увеличивает их задержки. В частности, коэффициент разветвления элементов, вырабатывающих функции прозрачности, равен $\frac{n^2}{4}$, т.е. квадратично зависит от разрядности сумматора.

Поэтому рост разрядности замедляет процесс суммирования.

Диапазон разрядностей, в которых проявляются достоинства сумматоров с параллельным переносом невелик. До $n = 3 \dots 4$ преимущества имеют более простые схемы сумматоров с последовательным переносом, после $n = 8$ многовходовые схемы формирования переносов пришлось бы создавать, соединяя каскадом несколько многовходовых элементов, что увеличит задержку. Кроме того, нагрузка по входу и нагрузка элементов, формирующих функции прозрачности, редко возрастает, что требует введение развязывающих элементов с их дополнительными задержками. Поэтому разрядность реально используемых сумматоров с параллельным переносом редко превышает восемь. Параллельный перенос имеет 4-разрядный сумматор К155ИМ6, задержка которого всего вдвое меньше тоже 4-разрядного сумматора К155ИМ3, но с параллельным переносом.

5.4.6. Сумматоры групповой структуры

Для ускорения переноса в сумматорах с большим числом разрядов применяют принцип группового переноса. В сумматорах групповой структуры схема с разрядностью n делится на l групп по m разрядов ($n = l \cdot m$). В группах и между ними возможны различные виды переносов, что порождает множество вариантов групповых сумматоров. Наиболее распространены сумматоры групповой структуры с цепным (последовательным) и параллельным переносом между группами. В самих группах перенос может быть при этом организован любым образом.

Групповой сумматор с цепным переносом при l группах имеет $l-1$ блок переноса. Блоки переноса включаются последовательно и образуют тракт передачи переноса. Структурная схема группового сумматора с цепным переносом приведена на рис. 5.30. Слагаемые разбиты на m -разрядные поля, суммируемые в группах. Результат также составляется их m -разрядных полей. Блоки переноса $[i=1 \dots (l-1)]$ анализируют слагаемые в пределах группы, и если из группы должен быть перенос, то он появляется на выходе блока для подачи на вход следующей группы в цепочку распространения переноса от младших групп к старшим.

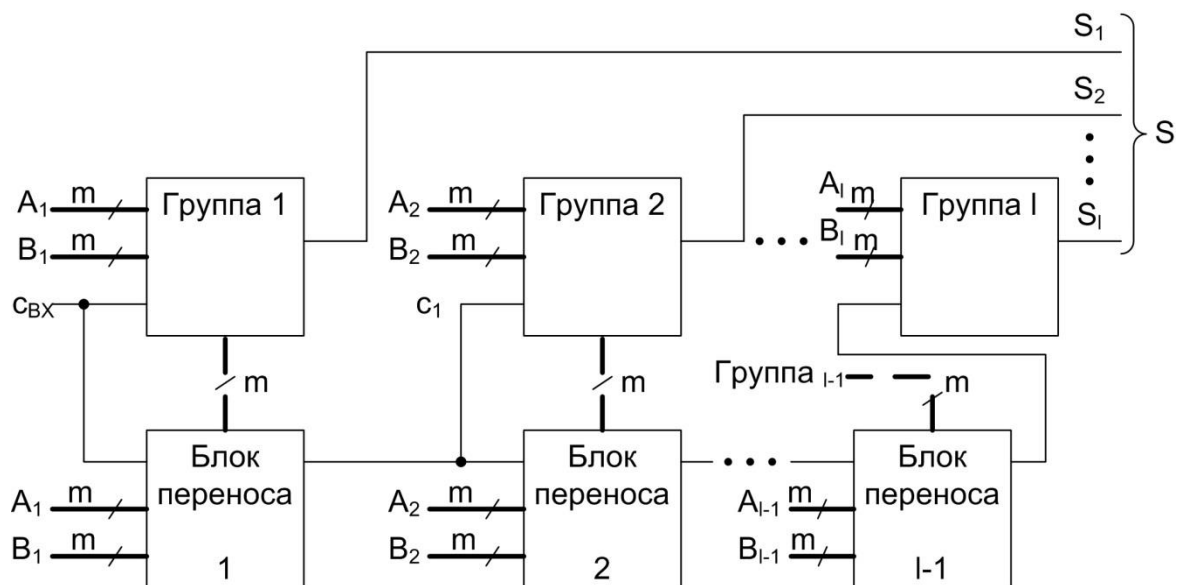


Рис. 5.30. Схема группового сумматора с цепным переносом

Переносы определяются формулами, полученными выше для сумматоров с параллельным переносом, но в целом многоразрядный сумматор благодаря объединению из групп существенно упрощается. Все блоки переноса анализируют m – разрядные операнды, т.е. имеют одинаковую сложность, тогда как в сумматоре с параллельными переносами сложность схем переноса постоянно возрастает.

Максимальная длительность суммирования для варианта с цепным переносом $t_{sm} = (l-1)t_{БП} + t_{ГР}$, где $t_{БП}$ – время задержки в блоке переноса, $t_{ГР}$ – время задержки в группе.

В сериях ИС выпускаются сумматоры, которые непосредственно пригодны для составления из них группового сумматора с цепным переносом. В качестве примера можно привести ИС К555ИМ3, содержащие четырехразрядный сумматор с последовательным переносом и блок переноса. Структура микросхемы приведена на рис. 5.31.

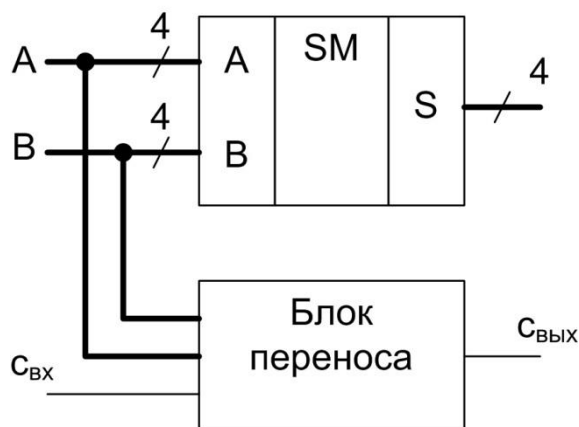


Рис. 5.31. Структура интегральной схемы K555ИМЗ

Сумматор с параллельными межгрупповыми переносами строится по структуре, сходной со структурой сумматора с параллельным переносом, в котором роль одноразрядных сумматоров играют группы.

Параллельный перенос между группами в сочетании с параллельным переносом внутри группы дает самые быстрые сумматоры в диапазоне разрядности от 24 до 64. Задержка таких параллельно-параллельных сумматоров не зависит от разрядности и составляет 9-10 задержек элемента используемого базиса. За быстродействие приходится платить и аппаратные затраты таких сумматоров заметно превышают затраты сумматоров с другими типами переносов. Микросхемы сумматоров можно объединить в сумматор групповой структуры с помощью специальных блоков ускоренного переноса, рассмотренных далее в 5.5.

Идея построения сумматора с условным переносом такова. При построении сумматора с n разрядами его делят на две равные группы с разрядностями $m=n/2$. Старшую группу дублируют, так что в схему входят три сумматора с разрядностью m . Схема сумматора с условным переносом приведена на рис. 5.32. На первом суммируются младшие группы разрядов $A_{\text{мл}}$ и $B_{\text{мл}}$, на втором – старшая группа разрядов операндов при условии $c_{\text{Ствх}}=1$, на третьем – старшая группа разрядов операндов при условии $c_{\text{Ствх}}=0$. После получения результата в младшем сумматоре становится известным физическое значение переноса в старший сумматор, и из двух заготовленных заранее результатов выбирается тот, который нужен в данном случае. Цепь последовательного переноса здесь как бы укорачивается вдвое, так как обе половины сумматора работают параллельно во времени. Структура сумматоров с условным переносом известна давно, со временем вышла из широкого применения, но сейчас вновь используется в СБИС программируемой логики FLEX 8000 фирмы Altera Corp.

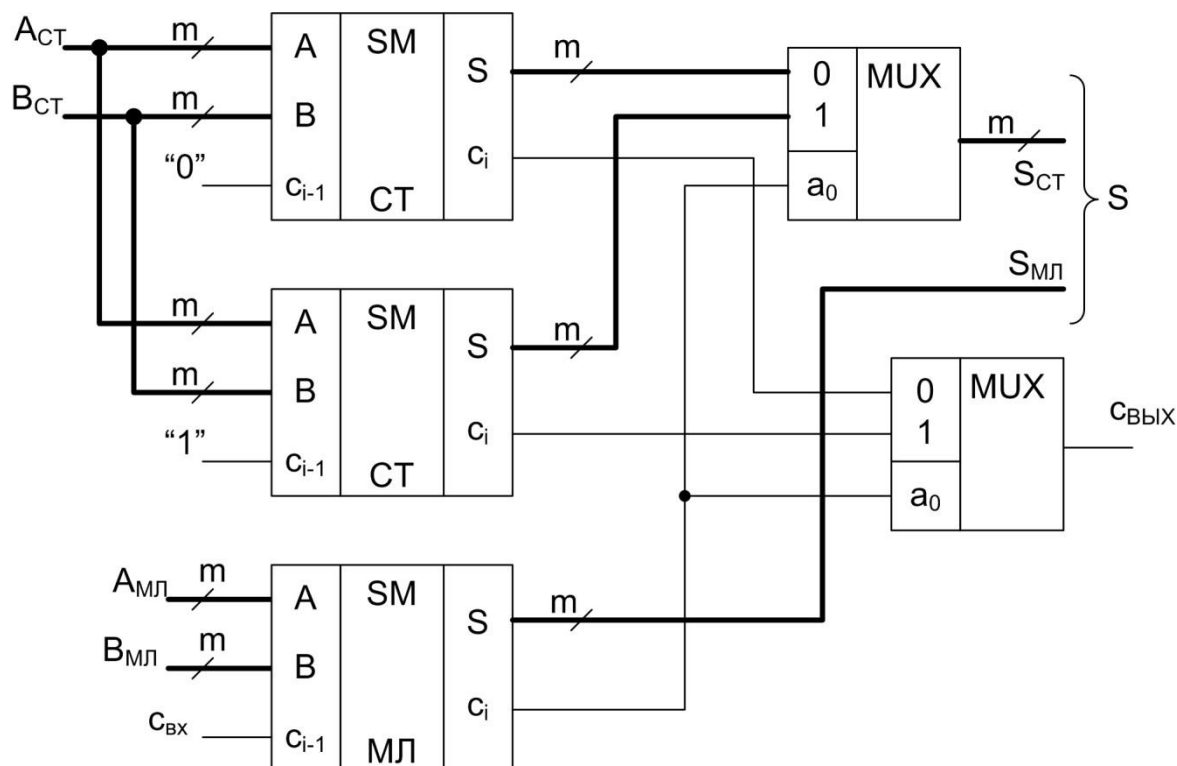


Рис. 5.32. Схема сумматора с условным переносом

В ряде серий микросхем сумматоры отсутствуют. Причиной этого является наличие арифметико-логического устройства, для которого режим суммирования есть один из возможных режимов.

5.5. Арифметико-логические устройства и блоки ускоренного переноса

Арифметико-логические устройства АЛУ (на англ. ALU, arithmetic-logic unit) выполняют над словами ряд действий. Основой АЛУ служит сумматор, схема которого дополнена логикой, расширяющей функциональные возможности АЛУ и обеспечивающей его перестройку с одной операции на другую.

АЛУ (рис. 5.33) имеет входы операндов A и B , входы выбора операций S , вход переноса $\bar{c}_i$ и вход M (от англ. слова mode – режим), сигнал которого задает тип выполняемых операций: логические ($M=1$) или арифметико-логические ($M=0$). Результат операции вырабатывается на выходах F , выходы G и H дают функции генерации и прозрачности, используемые для организации параллельных переносов при наращивании размерности АЛУ. Сигнал $\bar{c}_0$ – выходной перенос, а выход $A=B$ есть выход сравнения на равенство с открытым коллектором.

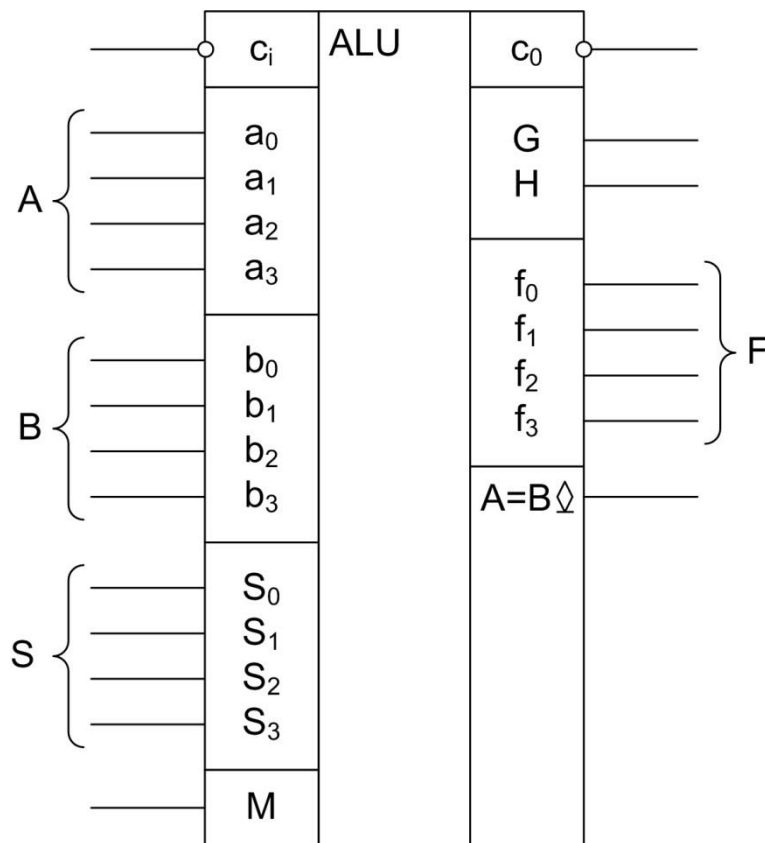


Рис. 5.33. Условное обозначение АЛУ

Перечень выполняемых АЛУ операций для положительной логики дан в табл.5.5. Под обозначениями 1 и 0 в столбцах «Логические функции» и «Арифметико-логические функции» следует понимать наборы 1111 и 0000, входной перенос поступает в младший разряд слова, т.е. равен $000\bar{c}_i$. Логические операции поразрядные, т.е. логическая операция * над словами A и B обозначает, что $a_i * b_i$ при отсутствии взаимовлияния разрядов. При арифметических операциях учитываются межразрядные переносы.

Таблица 5.5

S				Логические функции ($M=1$)	Арифметико-логические функции ($M=0$)
S_3	S_2	S_1	S_0		
0	0	0	0	$\bar{A}$	$A + c_i$
0	0	0	1	$\overline{A \vee B}$	$A \vee B + c_i$
0	0	1	0	$\bar{A} \cdot B$	$A \vee \bar{B} + c_i$
0	0	1	1	0	$1 + c_i$
0	1	0	0	$\overline{A \cdot B}$	$A + A\bar{B} + c_i$
0	1	0	1	$\bar{B}$	$A \vee B + A \cdot \bar{B} + c_i$

S				Логические функции ($M=1$)	Арифметико-логические функции ($M=0$)
S_3	S_2	S_1	S_0		
0	1	1	0	$A \oplus B$	$A + \bar{B} + c_i$
0	1	1	1	$A \cdot \bar{B}$	$A \cdot \bar{B} + 1 + c_i$
1	0	0	0	$\bar{A} \vee B$	$A + A \cdot B + c_i$
1	0	0	1	$A \oplus B$	$A + B + c_i$
1	0	1	0	B	$A \vee \bar{B} + A \cdot B + c_i$
1	0	1	1	$A \cdot B$	$A \cdot B + 1 + c_i$
1	1	0	0	1	$A + A + c_i$
1	1	0	1	$A \vee \bar{B}$	$A \vee B + A + c_i$
1	1	1	0	$A \vee B$	$A \vee \bar{B} + A + c_i$
1	1	1	1	A	$A + 1 + c_i$

Шестнадцать логических операций позволяют воспроизводить все функции двух переменных. В арифметико-логических операциях встречаются и логические и арифметические операции одновременно. Запись типа $A \vee \bar{B} + A \cdot B$ следует понимать так: вначале выполняется операция инвертирования ($\bar{B}$), далее – операция логического сложения ($A \vee \bar{B}$), после нее – операция логического умножения ($A \cdot B$), а затем полученные указанным образом два четырехразрядных числа складываются арифметически.

Для выполнения операций над словами большей разрядности, чем разрядность серийно выпускаемых АЛУ (они, как правило, четырехразрядные), последние соединяются друг с другом с организацией последовательных или параллельных переносов. Схема соединения АЛУ с организацией последовательных переносов приведена на рис. 5.34.

Для построения многоразрядных АЛУ с организацией параллельных переносов требуются специальные микросхемы: блоки ускоренного переноса (*CRU*, Carry Unit). Блок ускоренного переноса получает от отдельных АЛУ функции генерации и прозрачности, а также входной перенос и вырабатывает сигналы переноса по формулам, приведенным ранее. Кроме того, *CRU* вырабатывает и функции генерации и прозрачности для всей группы обслуживаемых им АЛУ, что при необходимости позволяет организовать параллельный перенос на следующем уровне (между несколькими группами из четырех АЛУ). На рис. 5.35 приведена схема шестнадцатиразрядного АЛУ с использованием блока ускоренного переноса (линии ввода операндов, выбора выполняемых функций не показаны).

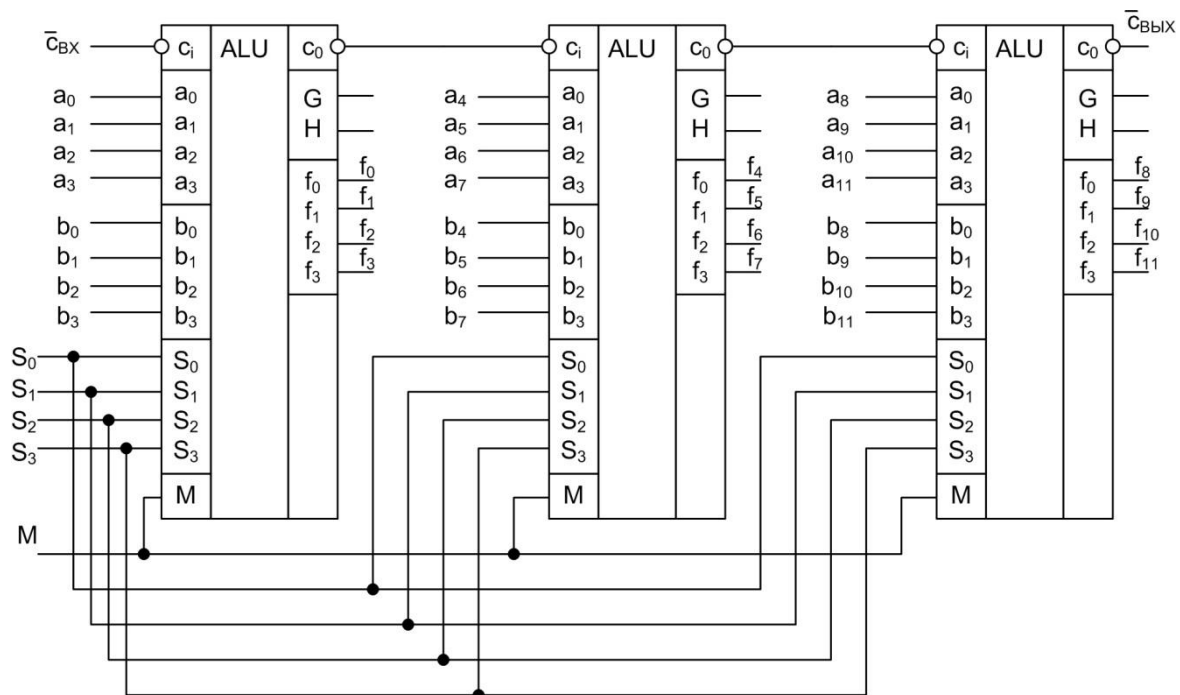


Рис. 5.34. Схема двенадцатизрядного с последовательным переносом АЛУ, построенного на 4-х разрядных АЛУ

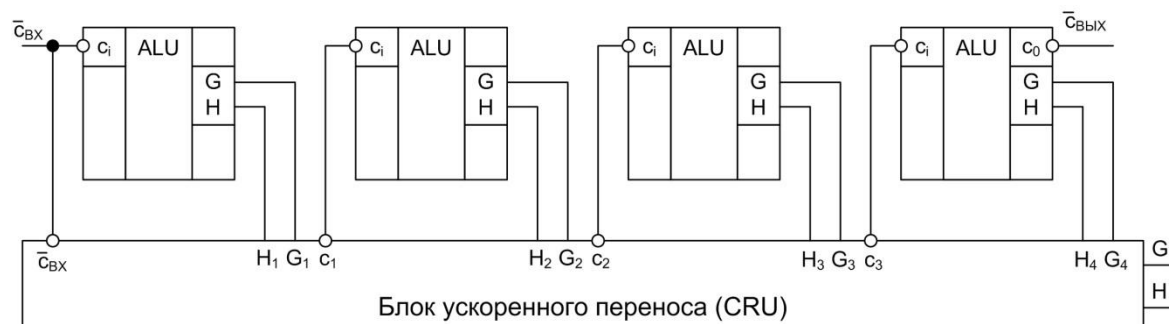


Рис. 5.35. Схема шестнадцатизрядного АЛУ с организацией параллельных переносов

На АЛУ можно также реализовать схемы выработки сигналов сравнения многоразрядных слов: $A=B$, $A \geq B$, $A \leq B$.

5.6. Матричные умножители

Микросхемы множительных устройств появились в 1980-х годах, когда достигнутый уровень интеграции позволил разместить на одном кристалле достаточно большое количество логических элементов.

Структура матричных умножителей получается из математических выражений, описывающих операцию умножения. Пусть имеются два целых двоичных числа без знаков: $A_m = a_{m-1} \dots a_1 a_0$ и $B_n = b_{n-1} \dots b_1 b_0$. Их перемножение осуществим «столбиком». Предположив $m=n=4$ получим

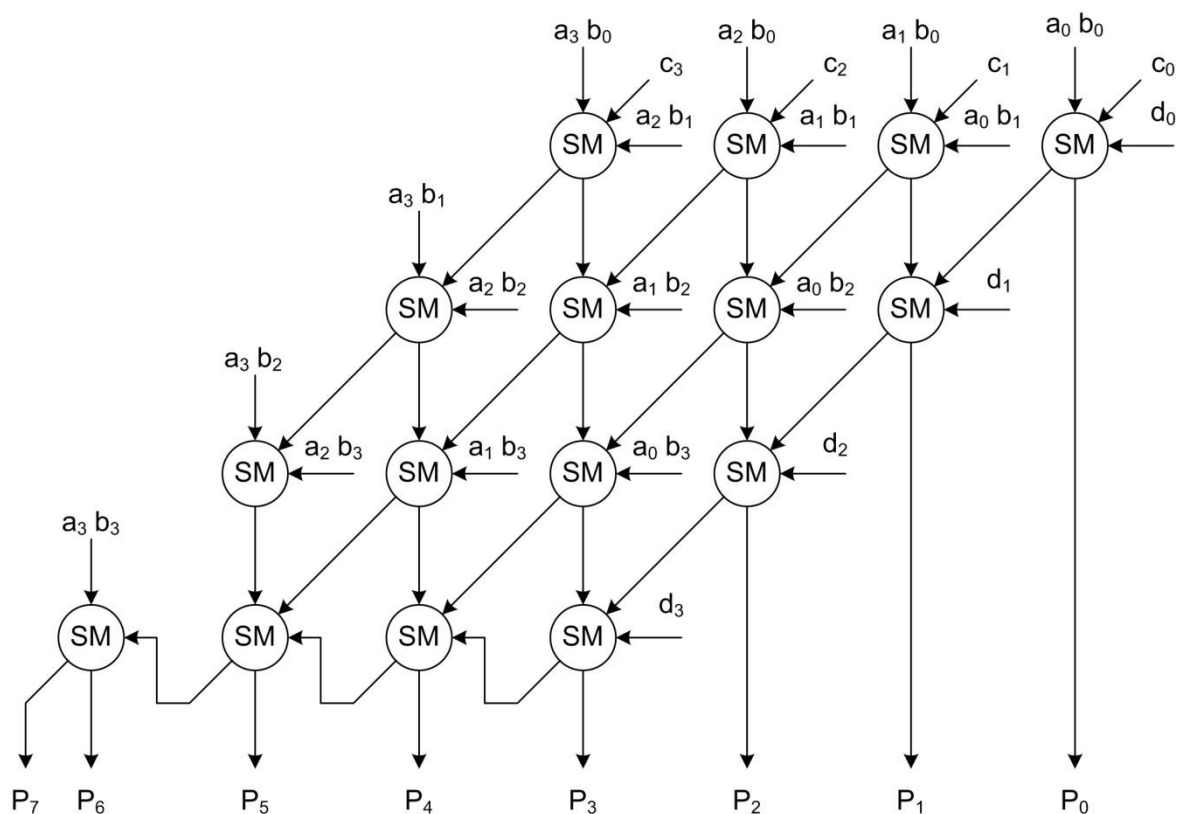


Рис. 5.36. Схема множительно-суммирующего блока для четырехразрядных сомножителей

В рассмотренной схеме максимальная длительность умножения равна сумме задержек сигналов в конъюнкторах для выработки $a_i b_j$ и в наиболее длинной цепочке сигнала в матрице одноразрядных сумматоров $(2n-1)$. Таким образом, $t_{МСБ} = t_k + (2n-1)t_{SM}$.

Схема многоэлементного блока отличается от схемы МСБ тем, что в ней отсутствуют сумматоры правой диагонали, т.к. при $C_m=0$ и $D_n=0$ они не требуются.

5.6.2. Построение умножителей большей размерности

Построение умножителей большей размерности из умножителей меньшей размерности на основе МБ требует введения дополнительных схем, называемых «деревьями Уоллеса», которые имеются в некоторых зарубежных сериях.

При использовании МСБ дополнительные схемы не требуются.

5.6.3. Матричные умножители в сериях ИС

Разработке матричных умножителей уделяют внимание многие фирмы-производители ИС. В отечественных сериях МИС/СИС имеются

умножители малой размерности (2х2, 4х4, 4х2 и др.). В сериях БИС размерности умножителей значительно больше. В серии 1802, например, имеются умножители 8х8, 12х12, 16х16 (ВР3, ВР4 и ВР5 соответственно). Зарубежные производители (ВІТ, Hitachi и др.) разработали умножители размерности 16х16 и более со временем умножения 3...5 нс.

5.7 Преобразователи кодов

Как известно, операция вычитания в вычислительных устройствах заменяется операцией сложения с отрицательным числом, представленным в инверсных кодах: обратном и дополнительном.

5.7.1. Преобразователь прямого кода в обратный

Для считывания обратного кода с регистра используется выражение:

$$x \oplus 1 = \bar{x}$$

$$x \oplus 0 = x.$$

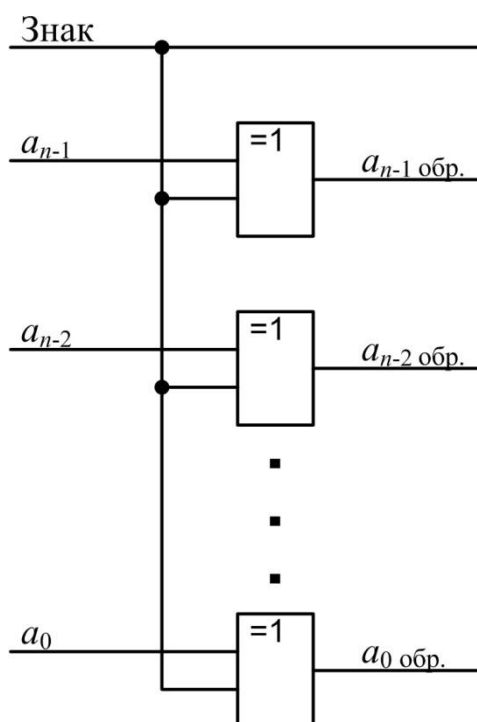


Рис. 5.37. Функциональная схема преобразователя прямого кода в обратный

Заметим, что если на входы такой схемы подать обратный код, то получим прямой.

5.7.2. Преобразователь прямого кода в дополнительный

1.01100100 – прямой код
 1.10011011 – обратный код
 1.10011100 – дополнительный код

Таким образом, дополнительный код можно получить с помощью сумматора. Но более быстрый и экономичный путь – построение логической схемы:

↓ 1.01100100 – прямой код
 ↓ 1.10011100 – дополнительный код,

т.е. необходимо проинвертировать все разряды до последнего, равного единице, который не инвертируется:

$$a_{i \partial \partial} = a_{in} \oplus (a_{i-1 \partial \partial} \vee a_{i-2 \partial \partial} \vee \dots \vee a_{0 \partial \partial}) \cdot \text{знак}.$$

Таким образом, для получения i -того разряда дополнительного кода нужно сложить по модулю 2 код этого разряда с дизъюнкцией всех предыдущих младших разрядов, логически умноженной на знак числа. Знаковый разряд преобразуемого числа используется как управляющий.

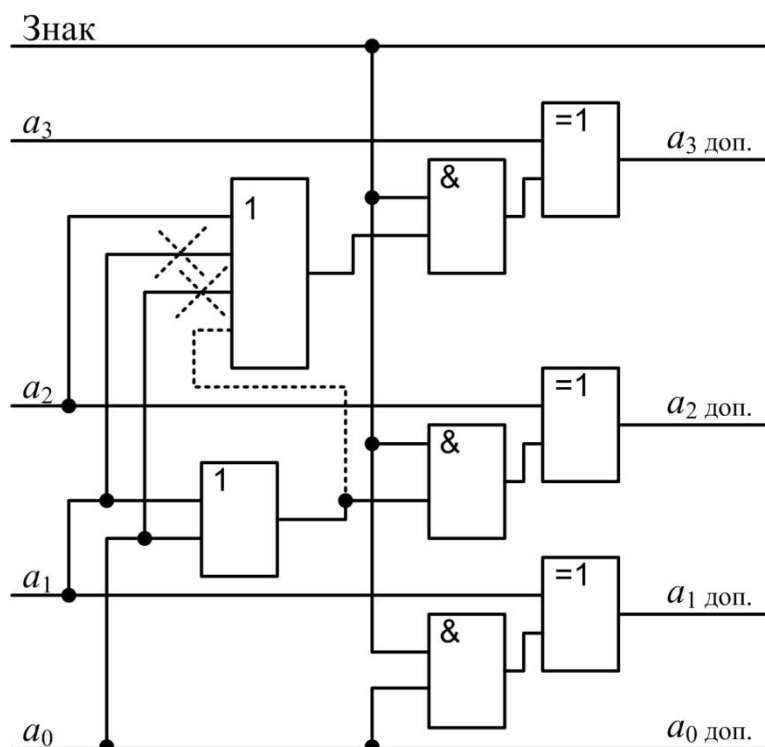


Рис. 5.38. Функциональная схема преобразователя прямого кода в дополнительный

Можно использовать вариант, обозначенный в схеме штрихами, но он даёт дополнительную задержку в схеме за счёт каскадов логических элементов ИЛИ.

5.8. Схемы контроля

5.8.1. Назначение и виды контроля

Сложность устройств обработки информации (УОИ) определяет важность операций контроля правильности их функционирования. В ряде случаев контроль жизненно важен (авиационные приборы, управление мощными энергетическими установками, мониторинг пациентов в клиниках и т.д.). Неисправное функционирование может привести к очень большим финансовым потерям. Известен факт, когда из-за ошибочно считанного из памяти кода был потерян космический аппарат (Фобос-Грунт), стоящий миллиарды рублей (5 млрд.).

Причинами нарушения нормальной работы УОИ могут быть **отказы** (нарушения нормальной работы из-за возникновения неисправностей, имеющих постоянный характер) и **сбои** (нарушения нормальной работы из-за проявления неблагоприятных факторов, в частности помех, которые в дальнейшем могут и не проявиться).

Независимо от этого, принято говорить об ошибках функционирования, поскольку для контроля и исправления ошибок в УОИ несущественен конкретный характер ошибок.

Цели контроля функционирования УОИ могут быть разными.

Можно ставить задачу предотвращения ошибок в работе УОИ. Для этого используются такие меры, как стабилизация условий окружающей среды, применение высококачественных источников питания, применение высоконадежных элементов, в том числе и переход на ИС большей степени интеграции, которые имеют более высокую надежность, чем такая же по функциональным возможностям схема, но изготовленная из МИС и СИС. Но даже при всех этих мерах вряд ли возможно полностью избавиться от отказов и сбоев.

Поэтому при проектировании ставится задача оперативного выявления ошибок или выявления и исправления ошибок в процессе работы УОИ. С этой точки зрения все устройства и процессы в УОИ можно разделить на 2 класса:

- устройства и процессы, в которых информация лишь передается во времени и пространстве, количество нулей и единиц и их положение в слове не изменяется (хранение информации во всех видах запоминающих устройств, передача данных по шинам и т.д.);

- устройства, в которых происходит изменение информации, при этом данные на выходе в принципе должны отличаться от данных, поступивших на вход.

Для решения задачи обнаружения или обнаружения и исправления ошибок в устройствах передачи и хранения данных используются помехоустойчивые избыточные коды. Используемые помехоустойчивые коды позволяют обнаруживать ошибки, обнаруживать и исправлять ошибки в зависимости от заложенной избыточности. Признаком распространенности данного метода контроля является наличие в составе серий ИС микросхем, реализующих свертку по модулю 2, микросхемы кодирования-декодирования для кодов Хэмминга.

Для контроля правильности функционирования устройств, в которых происходит изменение информации, пока реальным и универсальным является лишь дублирование таких устройств и сравнение результатов их работы. Если ставится задача только обнаружения ошибки в работе, то можно задублировать устройства и сравнивать результаты работы двух идентичных устройств. Несовпадение результатов рассматривается как признак ошибки (хотя вероятность того, что ошибка появилась в контролируемом, а не в контролирующем устройстве, равна 50%).

Если ставится задача исправления ошибок, то можно использовать трехкратное резервирование с выработкой результата путем голосования с помощью мажоритарных элементов. Эти элементы вырабатывают выходные данные «по большинству». Если из трех устройств одно стало работать неправильно, это не скажется на результате. Только ошибка в двух из трех устройствах приведет к ошибочному результату.

Рассмотренный метод обнаружения и, особенно, исправления ошибок очень дорог. Поэтому для контроля устройств, в которых происходит изменение информации разработаны более экономичные эвристические схемы контроля отдельных устройств, универсальные методы контроля с использованием систем остаточных классов, контроль с использованием вычетов, контроля с использованием систем счисления с иррациональным основанием (коды Фибоначчи и коды «Золотой пропорции»).

Таким образом, даже в полностью цифровых устройствах обработки информации требуется использовать два различных метода контроля. Более универсальным является контроль с переходом на систему счисления с иррациональным основанием, позволяющей контролировать арифметические, логические и управляющие операции, передачу и хранение информации, аналого-цифровое и цифро-аналоговое преобразование. Однако метод контроля с использованием системы счисления с иррациональным основанием требовал отказа от двоичной системы счисления,

разработки элементов, работающих в данной системе счисления (например, сумматоры Фибоначчи и т.д.) и, видимо, поэтому не получил распространения.

Вопросам контроля устройств обработки информации посвящены многочисленные специальные труды. В данном пособии вопросы контроля затронуты для понимания студентами необходимости применения средств контроля при проектировании УОИ и принципов работы ИС контроля, выпускаемых серийно.

К таким схемам относятся схемы свертки по модулю 2, схемы кодирования для кодов Хэмминга, мажоритарные элементы.

5.8.2. Контроль по модулю два

Контроль правильности передачи и хранения данных – важное условие нормальной работы УОИ. Простейшим и достаточно эффективным способом удостовериться, что полученные с линии или извлечённые из памяти данные искажены ошибкой и использовать их нельзя, служит введение контроля по чётности/нечётности (parity check – контроль по паритету). Обнаруживаются (не исправляются) все ошибки нечётной кратности: однократные, трёхкратные, пятикратные и т.д.

При этом способе контроля каждое слово дополняется контрольным разрядом, значение которого подбирается так, чтобы сделать чётным (нечётным) вес каждой кодовой комбинации.

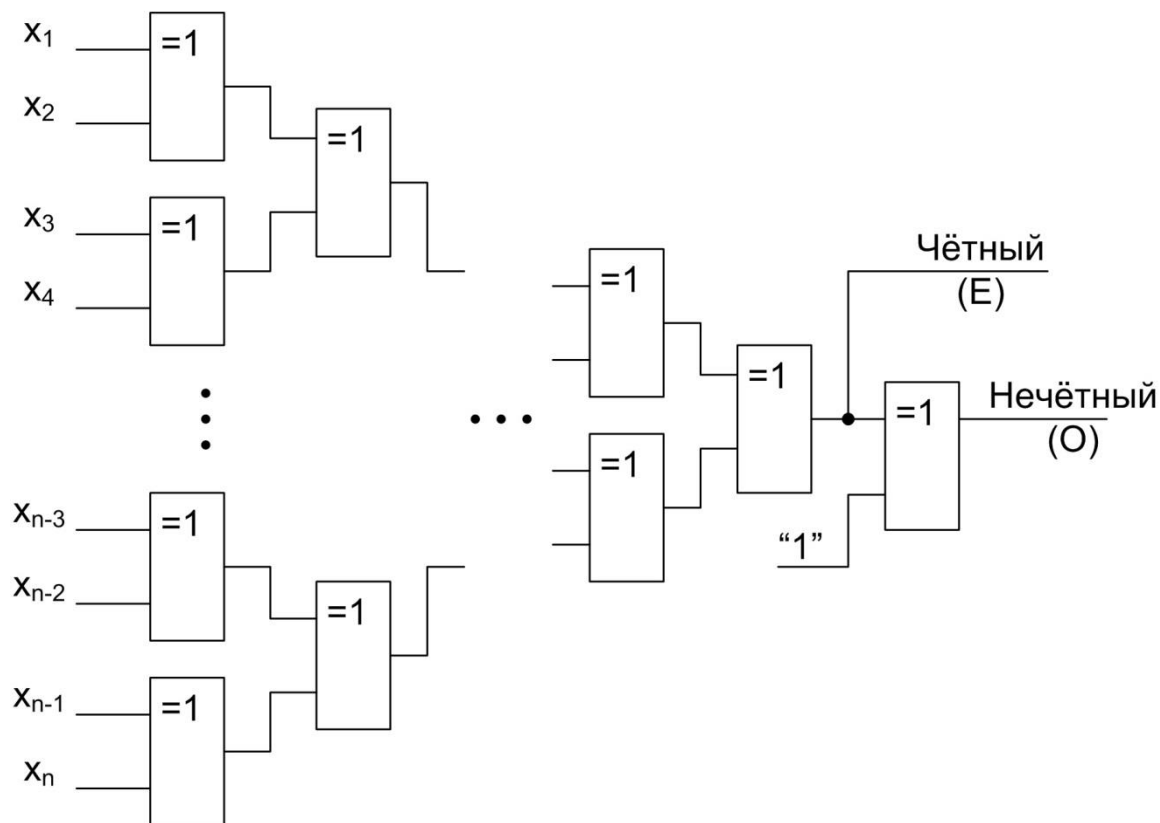
При контроле по чётности вес кодовых комбинаций делают чётным, при контроле по нечётности – нечётным. Возможности обнаружения ошибок у обоих вариантов абсолютно идентичны. В зависимости от технической реализации каналов передачи данных, может проявиться предпочтительность того или иного варианта, поскольку один из вариантов может позволить отличать обрыв всех линий связи от передачи нулевого слова, а другой нет.

Контрольный $(n+1)$ разряд для n -разрядного двоичного слова $(x_1, x_2, \dots, x_n)$ формируется свёрткой всех разрядов по модулю два $\sum_{i=1}^n x_{i \bmod 2} = x_1 \oplus x_2 \oplus \dots \oplus x_n$. Отсюда понятно ещё одно название контроля по чётности/нечётности – контроль по модулю 2. Значения контрольного разряда x_{n+1} :

- для кода чётности $x_{n+1} = \sum_{i=1}^n x_{i \bmod 2}$,
- для кода нечётности $x_{n+1} = \overline{\sum_{i=1}^n x_{i \bmod 2}}$.

Схемы, обеспечивающие получение значений x_{n+1} и $\overline{x_{n+1}}$, называются схемами свёртки по модулю 2. Для практики типична многоярусная схема свёртки пирамидального типа, приведенная на рис. 5.39. В схеме используются двухвходовые схемы сложения по модулю два. Для многовходовой схемы свёртки по модулю 2 (при числе входов > 2) используется условное обозначение, приведенное на рис.5.39.Б. Схема может иметь два выхода E (от англ. слова even – чётный) и O (от англ. слова odd – нечётный). Если вес (число единиц в слове) входной комбинации чётный, то $E=0$ и $O=1$, и наоборот, если вес нечётный. Если схема имеет один выход E или O , то в поле условного обозначения вписывается $2k$ или $2k+1$.

А)



Б)

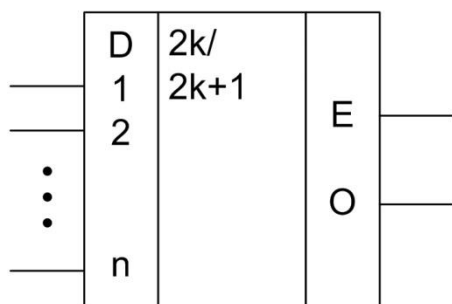


Рис. 5.39. А) схема свёртки пирамидального типа, Б) её условное обозначение

Схемотехника сейчас ориентирована главным образом на работу с параллельными данными, однако не исключены ситуации обработки последовательных данных, когда слова передаются по одной линии последовательно разряд за разрядом. Для таких случаев можно использовать для получения суммы по модулю два Т-триггер, устанавливаемый перед началом передачи или приема в состояние, соответствующее выбранному контролю (по четности, нечетности).

Схемы свертки по модулю 2 (контроля чётности/нечётности) выпускаются в составе ряда серий ТТЛ(Ш), ЭСЛ и КМОП: К155ИП2 – 8 входов, ИП5 (в сериях 533, 1533, КР1533, КР531, 1531) – девять входов, К500ИЕ160, К564ИП6 – девять входов.

На рис.5.40 приведён пример использования схемы свёртки по модулю 2 для контроля при передаче данных или их записи/считывания в ЗУ. На n -входовой схеме свёртки по модулю 2 $2k/2k+1$ формируется признак чётности числа, который в качестве дополнительно $(n+1)$ -го контрольного разряда (parity bit) передается в линию связи или записывается в память. Передаваемое $(n+1)$ разрядное слово имеет всегда чётное число единиц.

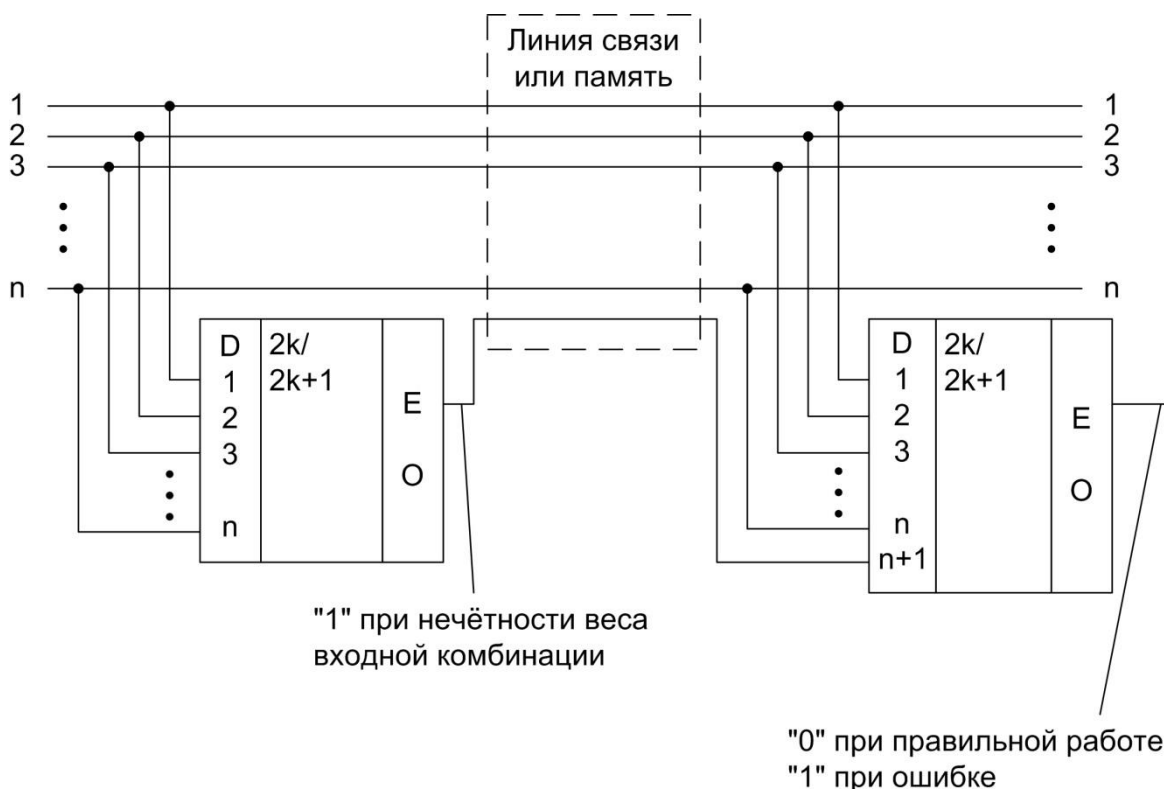


Рис. 5.40. Организация контроля по нечетности при передаче информации

При приёме слова или считывании его из памяти производится сложение по модулю 2 всех $(n+1)$ разрядов. Если чётность в принятом слове сохранилась, т.е. на выходе E $(n+1)$ разрядного элемента $2k/2k+1$ сформировался нуль, то считается, что при передаче (считывании) ошибка не возникла. Если возникла нечётность, т.е. $E=1$, то считается, что при передаче возникла ошибка.

Схемы свёртки по модулю 2 также можно использовать и для контроля логических преобразований.

5.8.3. Контроль с использованием кодов Хэмминга

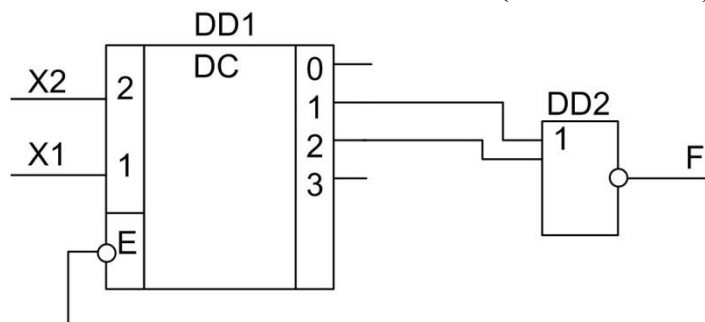
Применение кодов Хэмминга позволяет исправлять однократные ошибки, возникающие при передаче информации. В практике контроля работы ЗУ находит применение модифицированный код Хэмминга, с помощью которого можно исправлять все однократные ошибки и обнаруживать все двукратные и выше. Модифицированный код Хэмминга получается из кода Хэмминга добавлением к нему контрольного разряда, обеспечивающего чётность веса всей кодовой комбинации в целом. Обнаружение двойной ошибки основано на сопоставлении наличия или отсутствия ошибки в указателе ошибки (синдроме ошибки, корректирующем коде) и общей чётности. Если обозначить через B любое ненулевое значение синдрома, то возможные ситуации, возникающие при приеме кодовой комбинации, окажутся следующими (табл. 5.6).

Таблица 5.6.

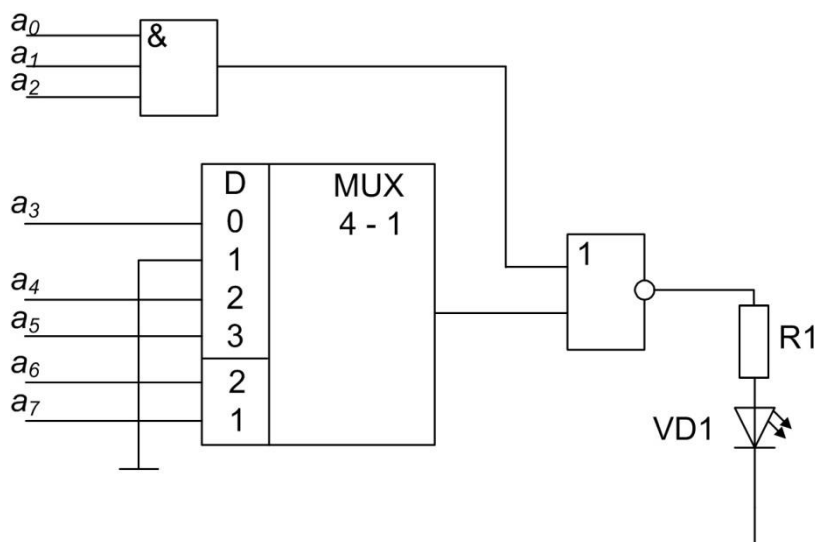
Указатель ошибки (синдром)	Свертка всей принятой кодовой комбинации	Характеристика результата
0	0	Ошибки нет, слово можно использовать
B	1	Была однократная ошибка, ее необходимо исправить, после исправления слово можно использовать.
B	0	Двукратная ошибка или чётная многократная. Исправить её невозможно. Слово использовать нельзя.
0	1	Многократная ошибка нечётной кратности. Слово использовать нельзя.

5.9. Контрольные вопросы

1. Нарисовать временную диаграмму работы схемы (входы x_1, x_2 ; выходы $DD1, DD2$). По временной диаграмме составить таблицу функционирования схемы. По таблице функционирования схемы составить СДНФ. По СДНФ нарисовать функциональную схему с использованием логических элементов классического базиса (И, ИЛИ, НЕ).



2. Укажите все кодовые слова $\mathbf{a_7a_6...a_0}$ в общем виде (разряд a может иметь значения 0, 1 и X, где значение X в разряде a подразумевает, что этот разряд кодового слова $\mathbf{a_7a_6...a_0}$ не влияет на свечение светодиода $VD1$ и может иметь любое значение – 0 или 1), при которых светодиод $VD1$ светится. Запишите формулу расчёта сопротивления $R1$.

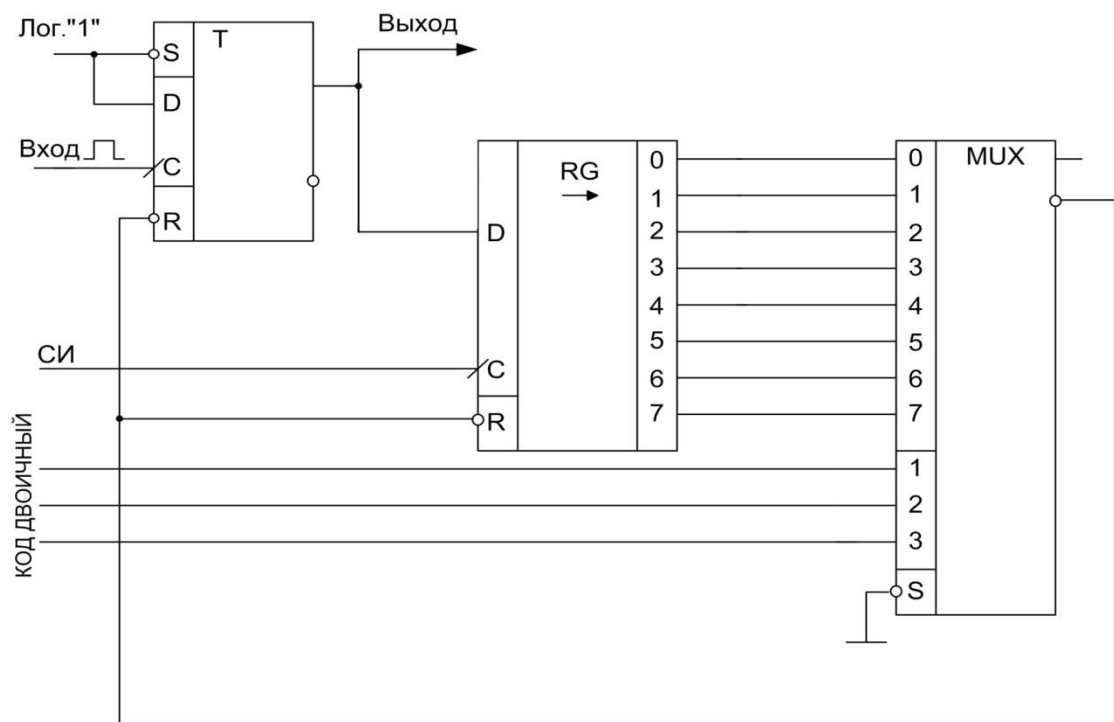


3. Нарисовать временную диаграмму работы схемы (входы x_1, x_2, x_3 ; выход MUX). По временной диаграмме составить таблицу функционирования схемы. По таблице функционирования схемы составить СКНФ. По СКНФ нарисовать функциональную схему на элементах И, ИЛИ, НЕ.

Символ	A	B	C	D	E	F	G	H	I	J
Код($a_3a_2a_1a_0$)										

5. Разработать на АЛУ (УГО на рис. 5.33) схему выполнения логических операций над двумя 8-разрядными числами, поступающими в параллельном коде. Тип выполняемой операции над числами задается кодом, поступающим параллельно с числом. Код числа сопровождается синхросигналом. После выполнения операции результат должен храниться.

6. Какая длительность импульса будет сформирована на линии «Выход» после поступления на линию «вход» прямоугольного импульса при коде 100 на адресных входах мультиплексора? На вход СИ поступает периодическая последовательность прямоугольных импульсов с периодом T . Привести решение с использованием временных диаграмм, ответ дать в числе периодов T !



7. На вход схемы поступают в параллельном коде слова, закодированные модифицированным кодом Хэмминга: $q_1q_2a_1q_3a_2a_3a_4p$. После приема произвести обработку принятого слова в соответствии с таблицей:

Значение указателя ошибки B	Значение свертки принятого слова S	Характеристика результата и что нужно выполнить
0, т.е. $b_3=b_2=b_1=0$	0	Ошибки нет, принятое слово можно использовать.

Значение указателя ошибки B	Значение свертки принятого слова S	Характеристика результата и что нужно выполнить
B , т.е. от-лично от нуля	1	Принятое слово содержит ошибку на позиции $b_3b_2b_1$, её нужно исправить, после исправления слово можно использовать.
B	0	Принятое слово содержит либо двукратную ошибку, либо чётную многократную ошибку. Используемый код не позволяет её исправить, слово использовать нельзя. Выходы схемы перевести в высокоимпедансное состояние.
0	1	Слово содержит многократную ошибку нечётной кратности. Используемый код не позволяет её исправить, слово нельзя использовать. Выходы схемы перевести в высокоимпедансное состояние.

Примечание: Считать, что схемы формирования

$b_1 = q_1 \oplus a_1 \oplus a_2 \oplus a_4$ – младший разряд

$b_2 = q_2 \oplus a_1 \oplus a_3 \oplus a_4$

$b_3 = q_3 \oplus a_2 \oplus a_3 \oplus a_4$ – старший разряд

$S = q_1 \oplus q_2 \oplus a_1 \oplus q_3 \oplus a_2 \oplus a_3 \oplus a_4 \oplus p$

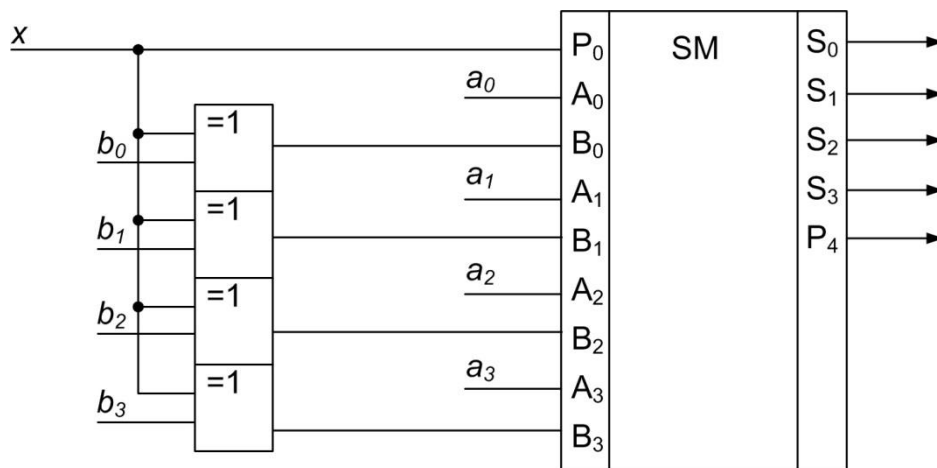
имеются в виде отдельных изделий – ИС.

8. Реализовать на мультиплексоре $8 \rightarrow 1$ и на дешифраторе $8 \rightarrow 3$ функцию, заданную следующей таблицей:

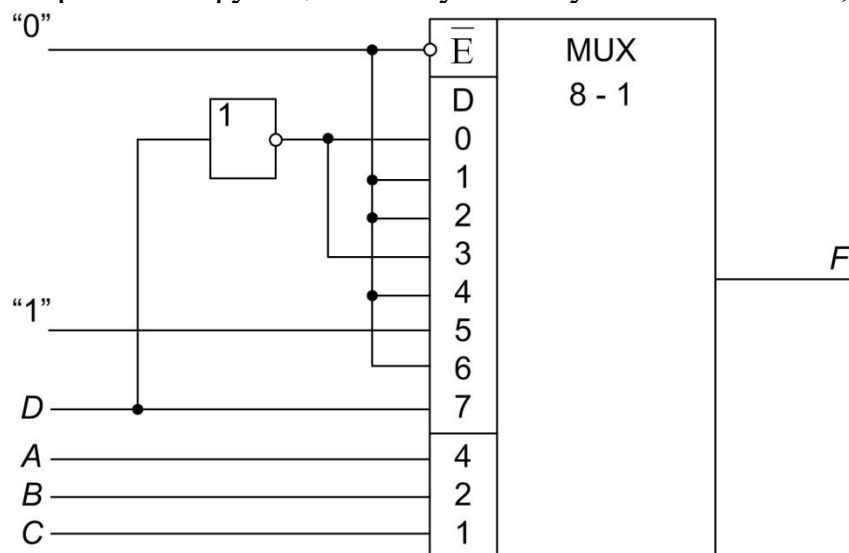
Входы	a_2	0	0	0	0	1	1	1	1
	a_1	0	0	1	1	0	0	1	1
	a_0	0	1	0	1	0	1	0	1
Выход	F	1	0	0	0	0	1	1	1

9. Приведите схему реализации на мультиплексоре $8 \rightarrow 1$ и на дешифраторе $8 \rightarrow 3$ логической функции: $F = \overline{AB} \vee ABC$.

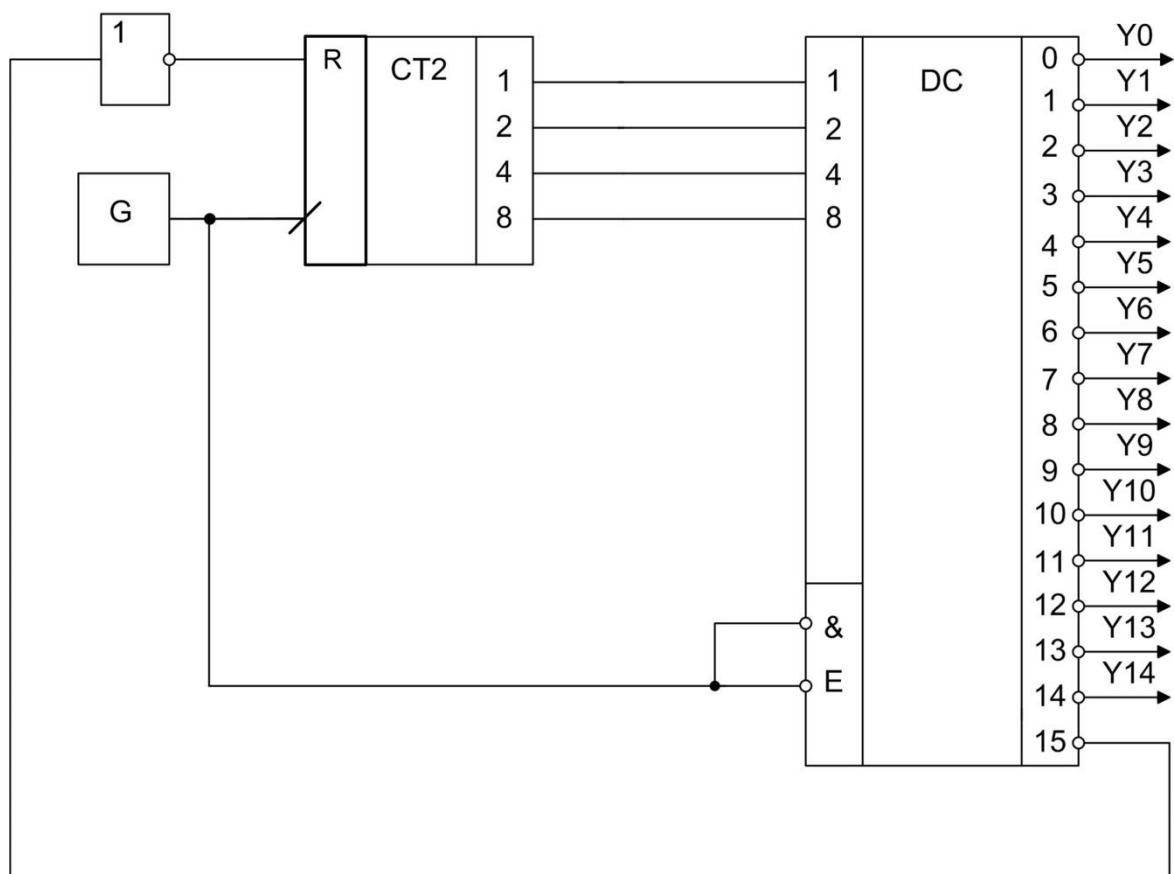
10. Какую функцию выполняет приведенная ниже схема при $x = 0$ и при $x = 1$. Числа $A = A_3A_2A_1A_0$, $B = B_3B_2B_1B_0$ – положительные.



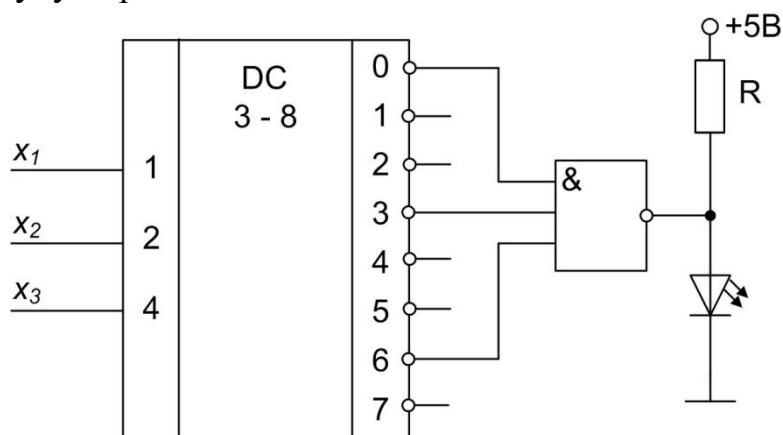
11. Нарисовать временную диаграмму работы схемы (входы A , B , C , D ; выход F). По временной диаграмме составить таблицу функционирования схемы. По таблице функционирования схемы составить СДНФ. По СДНФ нарисовать функциональную схему на элементах И, ИЛИ, НЕ.



12. Нарисовать временные диаграммы на выходах $Y_0, Y_1, Y_2, \dots, Y_{14}$ предлагаемой схемы, выполненной на ИС ТТЛШ, если генератор G выдает периодическую последовательность прямоугольных импульсов.



13. При каких значениях x_1, x_2, x_3 светодиод будет светить? Приведите формулу определения величины R .



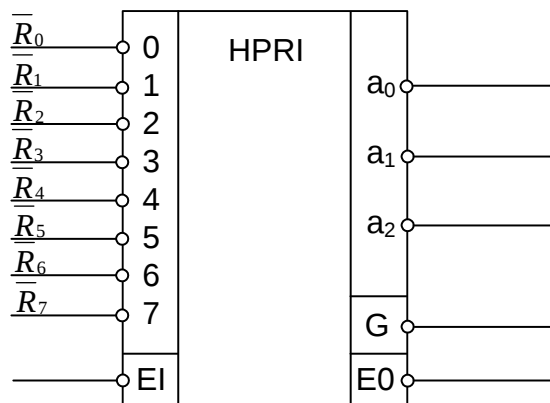
14. Разработать функциональную схему цифрового автомата, выполняющего следующую функцию:

- в первом такте все разряды устанавливаются в состояние «0», кроме старшего разряда, который должен установиться в состояние «1».
- в следующих тактах в состояние «1» устанавливается следующий, более младший разряд, и, в зависимости от значения управляющего сигнала, изменяется/не изменяется состояние предыдущего, более старшего разряда:

- если управляющий сигнал равен «1», то состояние разряда не должно измениться;
- если управляющий сигнал равен «0», то предыдущий разряд должен установиться в состояние «0».

Примечание: разрядов в цифровом автомате – 8. Генератор тактовых сигналов начинает работу по сигналу «старт», автоматически прекращает работу после выдачи 8-го импульса.

15. Используя 8-разрядный приоритетный шифратор (см. УГО ниже), разработать простейшую клавиатуру для 16 символов. После отпущения клавиши, она возвращается в исходное состояние. Использовать антидребезговую схему формирования сигнала нажатия клавиши. Сформированный код должен сопровождаться импульсом (длительность импульса неважна); код нажатой клавиши заносить в регистр. Занесение кода в регистр осуществлять по заднему фронту импульса. Составить таблицу кодов клавиш.



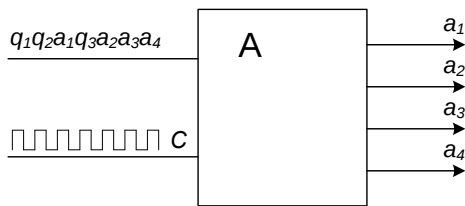
16. Разработать схему автомата, который фиксирует последовательно поступающие семиразрядные слова $q_1q_2a_1q_3a_2a_3a_4$ в коде Хэмминга, исправляющего однократную ошибку (q – контрольные разряды, a – информационные разряды). Слово в каждом разряде сопровождается импульсом, который поступает по второй линии. Первым идёт a_4 , последним – q_1 . После приёма слова производится исправление ошибки (если она зафиксирована указателем ошибки). На выходе автомата выдаётся параллельный четырёхразрядный исправленный информационный код. (15 б.)

Указатель ошибки формируется с помощью следующих выражений:

$$b_1 = q_1 \oplus a_1 \oplus a_2 \oplus a_4 \text{ – младший разряд}$$

$$b_2 = q_2 \oplus a_1 \oplus a_3 \oplus a_4$$

$$b_3 = q_3 \oplus a_2 \oplus a_3 \oplus a_4 \text{ – старший разряд.}$$



17. Разработать функциональную схему (18 р.) преобразователя последовательного кода в параллельный. Число сопровождается синхросигналами, поступающими по второй линии. По окончании приёма выдать сигнал «Окончание приёма».

18. Разработать схему формирования последовательного слова в коде Хэмминга, исправляющего однократную ошибку $q_1q_2a_1q_3a_2a_3a_4$. До формирования информационная часть слова $a_4a_3a_2a_1$ занесена в параллельный регистр. Передачу слова последовательным кодом начинать со старшего разряда a_4 , далее – a_3 , a_2 , q_3 , a_1 , q_2 , q_1 . Формирование контрольных разрядов осуществлять согласно следующим выражениям:

$$q_1 = a_1 \oplus a_2 \oplus a_4$$

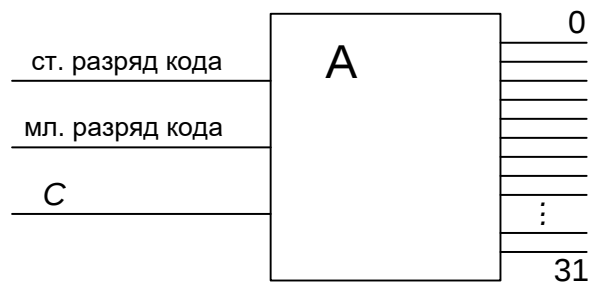
$$q_2 = a_1 \oplus a_3 \oplus a_4$$

$$q_3 = a_2 \oplus a_3 \oplus a_4$$

Передача последовательным кодом начинается по сигналу «Передача». По этому сигналу запускается ГИ, который выдает серию из семи импульсов.

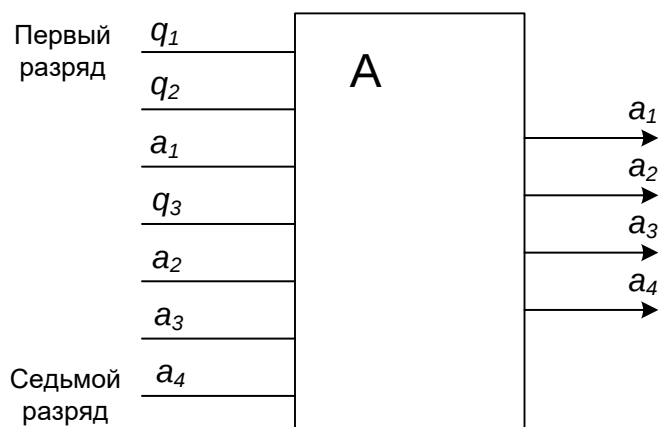
19. Разработать функциональную схему формирователя последовательного кода с параллельного регистра (9 разрядов) с помощью мультиплексора. Генератор синхросигналов представить $\boxed{G}$. Выдаваемый код должен сопровождаться синхросигналами, которые перестают выдаваться после передачи 9-го разряда. В параллельный регистр слово записывается параллельным кодом по сигналу с линии «Запись». Выдача последовательным кодом должна осуществляться после поступления сигнала с линии «Чтение». Представить временные диаграммы основных точек схемы.

20. Разработать схему автомата, регистрирующего двухразрядные коды (00, 01, 10, 11). Каждый разряд поступает по своей линии. Максимальное число кодов – 16. Каждый код сопровождается синхросигналом, поступающим по отдельной линии. При регистрации очередного кода, записанные сдвигаются влево.



21. Разработать функциональную схему формирователя последовательного кода с параллельного сдвигающего регистра (9 разрядов). Работа схемы должна прекращаться после передачи последовательного кода слова. Генератор синхросигналов представить $\boxed{G}$.

22. Разработать функциональную схему автомата, который фиксирует двоичные слова, содержащие избыточные разряды кода Хэмминга, исправляющего однократные ошибки. После приёма слова автомат должен произвести исправление ошибки и выдать только информационную часть слова без избыточных разрядов. Слово поступает на автомат в параллельной форме (см. рис.), сопровождается синхроимпульсом, имеет 4 информационных разряда (a_1 – a_4) и 3 избыточных разряда (q_1 – q_3).



Указатель ошибки формируется по следующим выражениям:

$$b_1 = q_1 \oplus a_1 \oplus a_2 \oplus a_4 - \text{младший разряд указателя ошибки,}$$

$$b_2 = q_2 \oplus a_1 \oplus a_3 \oplus a_4,$$

$$b_3 = q_3 \oplus a_2 \oplus a_3 \oplus a_4 - \text{старший разряд указателя ошибки.}$$

23. Разработать схему, выдающую в линию связи последовательный модифицированный код Хэмминга для 4-х информационных разрядов.

Дано: информационный код $a_4a_3a_2a_1$. Модифицированный код Хэмминга: $pq_1q_2a_1q_3a_2a_3a_4$.

$$p = q_1 \oplus q_2 \oplus a_1 \oplus q_3 \oplus a_2 \oplus a_3 \oplus a_4$$

$$q_1 = a_1 \oplus a_2 \oplus a_4$$

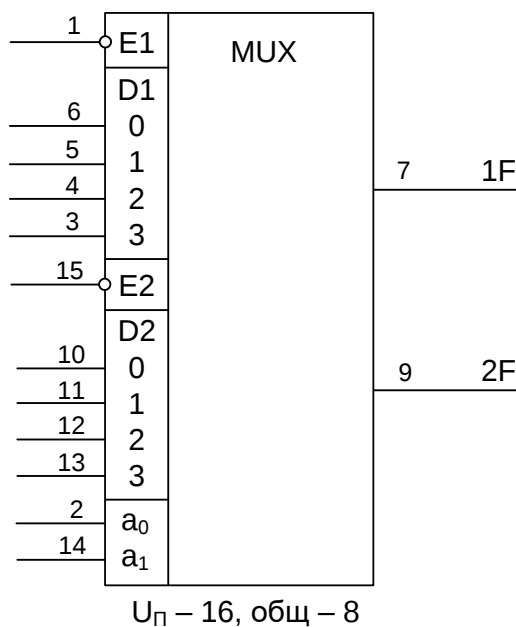
$$q_2 = a_1 \oplus a_3 \oplus a_4$$

$$q_3 = a_2 \oplus a_3 \oplus a_4$$

Перед передачей информационная часть занесена в регистр.

Разработать схемы формирования q_1, q_2, q_3, p . Передачу начинать с a_4 , далее – $a_3, a_2, q_3 \dots p$. Передача последовательным кодом начинается по сигналу «Передача». По этому сигналу запускается ГИ, который выдает серию из 8-ми импульсов. Информационная часть записывается по сигналу «Запись».

24. Имеется следующая ИС:



$U_{\Pi} - 16$, общ – 8

Построить на данной ИС мультиплексор $8 \rightarrow 1$, используя данную ИС и необходимые ИС. a_0 – младший разряд кода, a_1 – старший разряд кода адреса.

25.

СПИСОК ЛИТЕРАТУРЫ

1. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие для вузов. – 3-е изд., перераб. и доп. – СПб.: БХВ – Петербург, 2010. – 816 с.
2. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ: учеб. пособие для вузов. – М.: Высшая школа, 1987. – 318 с.
3. Нарышкин А.К. Цифровые устройства и микропроцессоры: учеб. пособие для студ. высш. учеб. заведений. – М.: Издательский центр «Академия», 2006. – 320 с.
4. Угрюмов Е.П. Цифровая схемотехника. – СПб.: БХВ – Петербург, 2002. – 528 с.
5. Угрюмов Е.П. Цифровая схемотехника. 2-ое изд – СПб.: БХВ – Петербург, 2005. – 800 с.
6. Угрюмов Е.П. Элементы и узлы ЭЦВМ: учеб. пособие для вузов. – М.: Высшая школа, 1976. – 228 с.
7. Бойко В. Схемотехника электронных систем. Цифровые устройства. – СПб.: БХВ – Петербург, 2004. – 497 с.
8. Розеншер Э. Оптоэлектроника. – М: Техносфера, 2006. – 592 с.
9. Фрике К. Вводный курс цифровой электроники. 2-ое изд. – М: Техносфера, 2004. – 432 с.
10. Райхлин В.А. Основы цифровой схемотехники. Учебное пособие для вузов. – Казань: Из-во Казан. гос. техн. ун-та, 2000. – 352 с.
11. Новиков Ю.В. Основы цифровой схемотехники, базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001. – 379 с.
12. Опадчий Ю.Ф. и др. Аналоговая и цифровая электроника (Полный курс): Учебник для вузов/ Ю.Ф.Опадчий, О.П. Глудкин, А.И. Гуров; под ред. О.П. Глудкина. – М.: Горячая линия – Телеком, 2000. – 768 с.
13. Хоровиц П., Хилл У. Искусство схемотехники: В 3-х томах: Т. 1. Пер. с англ. – 4-е изд. перераб. и доп. – М.: Мир, 1993. – 413 с.
14. Хоровиц П., Хилл У. Искусство схемотехники: В 3-х томах: Т. 2. Пер. с англ. – 4-е изд. перераб. и доп. – М.: Мир, 1993. – 371 с.
15. Хоровиц П., Хилл У. Искусство схемотехники: В 3-х томах: Т. 3. Пер. с англ. – 4-е изд. перераб. и доп. – М.: Мир, 1993. – 367 с.
16. Мальцев П.П., Долидзе Н.С., Критенко Н.И. Цифровые интегральные микросхемы. Справочник – М.: Радио и связь, 1994. – 240 с.
17. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат. Ленингр. отделение, 1986. – 280 с.
18. Ермаков О. Прикладная оптоэлектроника. – М: Техносфера, 2004. – 414 с.

19. Аксенов А.И., Нефедов А.В. Элементы схем бытовой радиоаппаратуры. Конденсаторы. Резисторы: Справочник. – М.: Радио и связь, 1995. – 272 с.
20. Ладик А.И., Сташкевич А.И. Изделия электронной промышленности. Пьезоэлектрические и электромеханические приборы: Справочник. – М.: Радио и связь, 1993. – 104 с.
21. Лисицын Б.Л. Отечественные приборы индикации и их зарубежные аналоги: Справочник. – М.: Радио и связь, 1993. – 432 с.
22. Филип Кьюкс, Грегори Снайдер, Стенли Уильямс Кроссбар – нанокomпьютеры.// В мире науки. – №3. – 2006. – С. 67–73.
23. Сайт Международной программы развития полупроводниковой промышленности // public.itrs.net
24. Осокин А.Н. Электронный обучающий комплекс по дисциплине «Схемотехника ЭВМ» // <http://metod.vt.tpu.ru/edu/df/schem/guide>

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	3
1. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ И КЛАССИФИКАЦИЯ ИНТЕГРАЛЬНЫХ СХЕМ.....	5
1.1. Понятие интегральной схемы.....	5
1.2. Составляющие стоимости ИС и пути ее уменьшения	6
1.3. Типы интегральных схем по технологическому признаку	6
1.4. Понятие серии интегральных схем.....	6
1.5. Условное обозначение интегральных схем согласно ГОСТ.....	7
1.6. Условно графическое обозначение логических элементов на функциональной схеме.....	7
1.7. Характеристики цифровых интегральных схем.....	9
1.8. Основные электрические параметры интегральных схем.....	9
1.9. Контрольные вопросы.....	11
2. ЭЛЕМЕНТНАЯ БАЗА СЕРИЙ МАЛЫХ, СРЕДНИХ, БОЛЬШИХ ИС И МИКРОПРОЦЕССОРОВ	12
2.1. Элементы транзисторно-транзисторной логики	12
2.1.1. Базовый элемент транзисторно-транзисторной логики ...	12
2.1.2. Схемы И, ИЛИ на диодах, их работа.....	16
2.1.3. Базовый элемент ИС диодно-транзисторных схем на диодах и транзисторах Шотки	18
2.1.4. Логические элементы ИС ТТЛ с тремя состояниями выхода	24
2.1.5. Неиспользуемые логические элементы.....	26
2.1.6. Нагрузочная способность	27
2.2. Интегральные схемы на униполярных транзисторах	28
2.2.1. Цифровые ИС на <i>n</i> -МОП структурах.....	28
2.2.2. Цифровые ИС на КМОП-структурах	29
2.2.3. Достоинства и недостатки ИС КМОП	31
2.3. Согласование ИС ТТЛ-уровней с ИС КМОП, ИС КМОП с ИС ТТЛ-уровней	32
2.4. Кроссбар-архитектуры	32
2.5. Схемы для гальванической развязки узлов радиоэлектронной аппаратуры	37
2.5.1. Назначение схем	37
2.5.2. Общие сведения об оптоэлектронных приборах, используемых в вычислительной технике	38

2.5.3. Обобщенная структурная схема оптрона.....	39
2.5.4. Оптопары.....	40
2.5.5. Оптоэлектронные ИС.....	41
2.5.6. Изолирующие ИС на основе технологии iCoupler фирмы Analog Devices.....	41
2.6. Контрольные вопросы.....	44
3. ТРИГГЕРНЫЕ УСТРОЙСТВА	51
3.1. Классификация триггеров.....	51
3.2. Асинхронный RS-триггер	53
3.3. Синхронный RS-триггер	56
3.4. D-триггер типа «защёлка»	58
3.5. T-триггер (счётный триггер).....	60
3.6. JK-триггер (универсальный).....	62
3.7. Двухступенчатые триггеры	64
3.7.1. Двухступенчатый RS-триггер.....	65
3.7.2. Двухступенчатые триггеры на основе RS-триггера.....	67
3.8. Триггер с самоблокировкой (динамический триггер)	68
3.9. Контрольные вопросы.....	71
4. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА	76
4.1. Регистры	76
4.1.1. Последовательные сдвигающие регистры.....	77
4.1.2. Регистровые файлы	80
4.1.3. Построение памяти нужного объёма на стандартных ИС	82
4.2. Счётчики	85
4.2.1. Назначение, классификация счётчиков.....	85
4.2.2. Двоичные счетчики	85
4.2.3. Методы повышения быстродействия счетчиков	88
4.2.4. Реверсивные счётчики.....	89
4.2.5. Двоично-кодированные счётчики с произвольным модулем счёта	90
4.2.6. Счётчики с недвоичным кодированием	90
4.3. Синхронизация.....	92
4.3.1. Синхронизация цифровых устройств со статическим управлением	93
4.3.2. Синхронизация цифровых устройств с динамическим управлением	94
4.4. Контрольные вопросы.....	95

5. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА	101
5.1. Дешифраторы и шифраторы.....	101
5.1.1. Схемотехническая реализация двоичных дешифраторов	101
5.1.2. Нарращивание размерности дешифратора при использовании ИС	105
5.1.3. Двоичные и приоритетные шифраторы, указатели старшей единицы	109
5.1.4. Нарращивание размерности приоритетного шифратора .	111
5.2. Мультиплексоры и демультиплексоры	112
5.2.1. Реализация мультиплексоров и демультиплексоров	113
5.2.2. Нарращивание размерности мультиплексоров	116
5.2.3. Применение мультиплексоров для построения функциональных узлов	118
5.3. Компараторы	120
5.4. Сумматоры	126
5.4.1. Назначение и классификация сумматоров.....	126
5.4.2. Синтез схемы одноразрядного сумматора.....	126
5.4.3. Последовательный многоразрядный сумматор.....	133
5.4.4. Параллельный сумматор с последовательным переносом	133
5.4.5. Параллельный сумматор с параллельным переносом	135
5.4.6. Сумматоры групповой структуры	140
5.5. Арифметико-логические устройства и блоки ускоренного переноса	143
5.6. Матричные умножители	146
5.6.1. Множительно-суммирующие блоки.....	147
5.6.2. Построение умножителей большей размерности	148
5.6.3. Матричные умножители в сериях ИС	148
5.7 Преобразователи кодов	149
5.7.1. Преобразователь прямого кода в обратный.....	149
5.7.2. Преобразователь прямого кода в дополнительный	150
5.8. Схемы контроля	151
5.8.1. Назначение и виды контроля.....	151
5.8.2. Контроль по модулю два	153
5.8.3. Контроль с использованием кодов Хэмминга.....	156
5.9. Контрольные вопросы.....	157
СПИСОК ЛИТЕРАТУРЫ	167

Учебное издание

ОСОКИН Александр Николаевич
МАЛЬЧУКОВ Андрей Николаевич

СХЕМОТЕХНИКА ЭВМ

Учебное пособие

Издано в авторской редакции

Научный редактор *доктор технических наук,*
доцент В.Л. Ким
Дизайн обложки

**Отпечатано в Издательстве ТПУ в полном соответствии
с качеством предоставленного оригинал-макета**

Подписано к печати 05.11.2010. Формат 60х84/16. Бумага «Снегурочка».
Печать XEROX. Усл. печ. л. 10,87. Уч.-изд. л. 9,84.
Заказ . Тираж 100 экз.



Национальный исследовательский Томский политехнический университет
Система менеджмента качества
Издательства Томского политехнического университета сертифицирована
NATIONAL QUALITY ASSURANCE по стандарту BS EN ISO 9001:2008



ИЗДАТЕЛЬСТВО  **ТПУ**

634050, г. Томск, пр. Ленина, 30
Тел./факс: 8(3822)56-35-35, www.tpu.ru